

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-235015

(43) 公開日 平成8年(1996)9月13日

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
G 06 F 11/22	3 6 0		G 06 F 11/22	3 6 0 A
1/04	3 0 2		1/04	3 0 2 A
1/06			11/18	3 1 0 E
11/18	3 1 0		13/00	3 0 1 V
13/00	3 0 1		1/04	3 1 0 A

審査請求 未請求 請求項の数5 OL (全33頁)

(21) 出願番号 特願平7-38391
(22) 出願日 平成7年(1995)2月27日

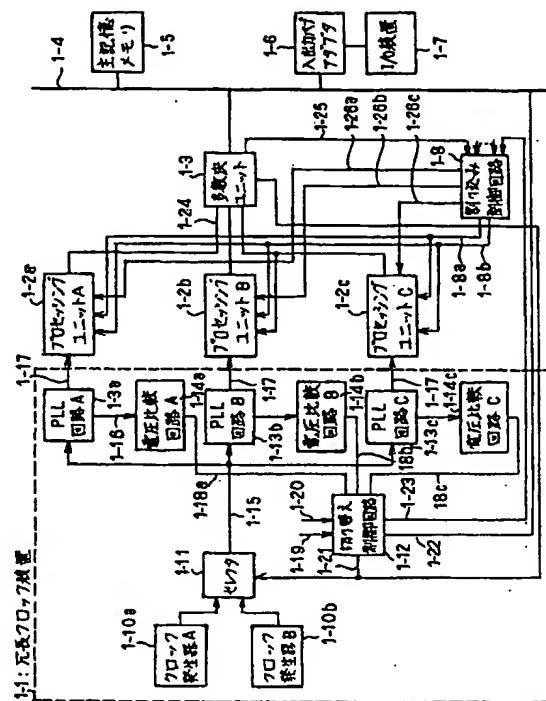
(71) 出願人 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目2番3号
(72) 発明者 清水 利彦
鎌倉市大船五丁目1番1号 三菱電機株式
会社情報システム研究所内
(72) 発明者 阿部 薫
鎌倉市大船五丁目1番1号 三菱電機株式
会社情報システム研究所内
(74) 代理人 弁理士 高田 守 (外4名)

(54) 【発明の名称】 プロセッサ装置並びにプロセッサ故障診断方法

(57) 【要約】

【目的】 冗長化されたプロセッサ同期して動作するフルオートトレーラントシステムにおいて、プロセッサの出力に異常が発生したときに、故障診断を行い故障が一時故障である場合は、故障したプロセッサを復旧させて再び同期して動作させるために故障診断及び復旧処理を高速化させることを目的とする。

【構成】 クロック信号を出力するクロック供給器と、クロック信号の異常を検出するクロック異常検出器と、クロック信号を受けて作動するプロセッサと、このプロセッサの動作異常を検出するプロセッサ異常検出器と、このプロセッサ異常検出器の出力が異常を示し、上記クロック異常検出器の出力が異常を示していないときに、上記プロセッサに対し故障診断テスト処理を行うとともに、上記クロック異常検出器の出力が異常を示したときには上記故障診断テスト処理を行わない故障診断部と、を備えたものである。



【特許請求の範囲】

【請求項 1】 クロック信号を出力するクロック供給器と、上記クロック信号の異常を検出するクロック異常検出器と、上記クロック信号を受けて作動するプロセッサと、このプロセッサの動作異常を検出するプロセッサ異常検出器と、このプロセッサ異常検出器の出力が異常を示し、上記クロック異常検出器の出力が異常を示していないときに、上記プロセッサに対し故障診断テスト処理を行うとともに、上記クロック異常検出器の出力が異常を示したときには上記故障診断テスト処理を行わない故障診断部と、を備えたプロセッサ装置。

【請求項 2】 複数のプロセッサと、これら複数のプロセッサの動作異常を検出するプロセッサ異常検出器と、クロック信号をそれぞれ発生する複数のクロック供給器と、これら複数のクロック供給器の出力する複数のクロック信号から 1つを選択クロック信号として選択して上記複数のプロセッサに出力するとともに、外部からの異常信号によって選択中のクロック信号を他のクロック信号に切り替えるセレクタと、上記選択クロック信号の異常を検出してクロック異常信号を発生し上記セレクタに対して出力するクロック異常検出器と、上記プロセッサ異常検出器の出力が異常を示し、上記クロック異常検出器の出力が異常を示していないときに、上記プロセッサに対し故障診断テスト処理を行い、上記クロック異常検出器の出力が異常を示したときには上記故障診断テスト処理を行わない故障診断部と、を備えたプロセッサ装置。

【請求項 3】 上記故障診断部は、上記クロック異常検出器が異常を検出したときに出力する低優先度の割込信号によって処理を開始し、上記故障診断テスト処理を行うか否かを判断することを特徴とする請求項 1 又は請求項 2 のいずれかに記載の記載のプロセッサ装置。

【請求項 4】 上記セレクタによる上記クロック信号の切り替えが起きたときから予め定められた時間まで、上記プロセッサの動作を停止させる凍結回路を備えたことを特徴とする請求項 2 に記載のプロセッサ装置。

【請求項 5】 プロセッサの出力に異常があるかどうかを判断するプロセッサ異常検知ステップと、クロック信号に異常があるかどうかを検知するクロック信号異常検知ステップと、上記プロセッサ異常検出ステップの検知結果が異常を示し、かつ、上記クロック信号異常検知ステップの検知結果が異常を示していないときにプロセッサの故障を診断するプロセッサ故障診断ステップと、上記クロック信号異常検知ステップの検知結果が異常を示したときは上記プロセッサ故障診断ステップを行わないプロセッサ故障診断スキップステップを有するプロセッサ故障診断方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、プロセッサを多重化し

たフォールトトレラント計算機における冗長クロックの異常検出方式及び冗長クロック異常時の冗長化プロセッサの異常処理方式に関するものである。

【0002】

【従来の技術】 フォールトトレラント計算機の分野において、計算機の信頼性を高める方法として、故障率の高いモジュールを多重化し、あるモジュールが故障しても残りのモジュールで正しい動作を行う方が一般的にされている。その最も一般的な技術の1つは、クリティカルな論理機能を提供する回路（通常の場合はプロセッシングユニット）を多重化することである。多重化されたプロセッシングユニットの各出力を多数決回路に入力して多重化されたプロセッシングユニットの出力値を決定することが一般的に用いられている。多数決回路の典型的な例として、三重化されたプロセッシングユニットの場合、3つの出力のうち2つの一致するものを選択する2/3多数決方式と呼ばれるものがある。この方式によると3つのプロセッシングユニットの内、いずれか1つが故障しても多数決により正しいプロセッシングユニットの出力が得られる。

【0003】 このような多数決回路を有するフォールトトレラント計算機の中には、故障したプロセッシングユニットについて故障診断を行い、一時的な故障である場合には、3つのプロセッシングユニットの同期をとり、再び3つのプロセッシングユニットで処理を行うようにする故障診断及び復旧処理が存在する。この方法により、一時的に故障が発生した場合においても、復旧処理を行って再び3つのプロセッシングユニットで動作を再開するため、再び信頼性の高い処理を再開することができる。

【0004】 以下、上記の故障診断及び復旧処理の方式について説明する。図20は、従来の冗長化プロセッサシステムの全体構成を示すブロック図である。

【0005】 このブロック図において、プロセッシングボード125aは、3個の同一のプロセッサ104を実装している。3個のプロセッサ104は同一クロック113で完全同期して動作する。3個のプロセッサ104と3個のキャッシュメモリ107は、それぞれ専用バス110で接続されている。プロセッサ104とキャッシュメモリ107と専用バス110の組み合せにより、各々、プロセッシングユニット101（CPU#A、またはプロセッシングユニットAと称する）、プロセッシングユニット102（CPU#B、またはプロセッシングユニットBと称する）、プロセッシングユニット103（CPU#C、またはプロセッシングユニットCと称する）を構成する。各プロセッシングユニットは、プロセッサバス121を介して、多数決ユニット135aと接続される。多数決ユニット135aは、キャッシュメモリ107を含めたプロセッシングユニットからの出力の多数決をとる。また、2つのシステムバス141とのイ

ンタフェースを司り、プロセッシングユニットに対する応答制御を行う。2つのシステムバス141には、主記憶装置143と入出力バスアダプタ145が接続されている。2つの入出力バスアダプタ145には、それぞれI/Oバス147が接続され、各I/Oバス147にはI/O装置149が接続される。

【0006】図21は、図20に示した冗長化プロセッサシステムの障害検出処理及び復旧処理を示したフローチャートである。以下、3個のプロセッシングユニット1の内、1個のプロセッシングユニット（仮にプロセッシングユニットAとする）が故障した時の動作を説明する。まず、ステップST0からスタートし、ステップST1にて、通常同期動作を行う。この通常同期動作は3つのプロセッシングユニットによって同期しながら実行される。この通常同期動作実行中にプロセッシングユニットA101が故障すると、以下のような故障検出が開始される。

【0007】まず、障害検出工程100について説明する。障害が発生したプロセッシングユニットA101は、多数決ユニット135aで検出される。これにより、プロセッシングユニットA101に対する応答信号が多数決ユニット135aから出力されなくなり、プロセッシングユニットA101が凍結状態（停止する）になる。

【0008】いずれかのプロセッシングユニットが故障したことは、多数決ユニット135aから図示しない割込制御回路に伝えられる。割込制御回路は、正常動作しているプロセッシングユニットB102、C103に割込を発生させる。すると、正常動作プロセッシングユニットであるプロセッシングユニットB102、C103がステップST7を実行する。このステップST7により、プロセッシングユニットB102、C103はプロセッシングユニットA101が故障したことを検知することができる。

【0009】次に、故障診断工程200について説明する。故障を検知したプロセッシングユニットB102、C103はステップST8にて、多数決ユニット内の制御レジスタを用いてプロセッシングユニットA101を単独動作させる。即ち、プロセッシングユニットB、Cは凍結状態になり、プロセッシングユニットA101は凍結状態から解除され、隔離動作モードによる動作を開始する。また、この時、プロセッシングユニットB102及びC103は、プロセッシングユニットA101に対する、強制割込をかける。このため最高レベルの割込が発生し、プロセッシングユニットA101は、あらかじめ用意されたエラー解析及び自己診断用の特別処理ルーチンであるステップST2とST3を実行する。プロセッシングユニットA101は、自らのエラー情報及び自己診断結果を、プロセッシングユニットA101、B102、C103ごとにあらかじめ決められた主記憶装

置143の退避領域に書きだす。また、故障したプロセッシングユニットA101は、ステップST3の処理を行う前にキャッシングメモリ107を無効化（ページ）しておく。故障したプロセッシングユニットAによる主記憶装置143の書き込みが終了すると、ステップS3にて制御レジスタに書き込みを行い。プロセッシングユニットB102、C103は再度動作を開始してステップS9の処理を行う。一方、障害プロセッシングユニットであるプロセッシングユニットA101は凍結状態に戻る。

【0010】次に、同期工程300について説明する。ステップST9にて再度動作を再開したプロセッシングユニットB102、C103は、プロセッシングユニット内の全レジスタの内容を、主記憶装置143の予め決められたレジスタ退避領域に退避する。次にステップST10に移って、障害の発生したプロセッシングユニットAが主記憶装置143に書き出した内容の解析を行い、プロセッシングユニットAの自己診断結果に基づき、プロセッシングユニットAが復旧可能かどうかの判断を行う。もし、自己診断結果が良好であり、一時的な故障と判断すると、正常なプロセッシングユニットB102、C103は、ステップST10にて、キャッシングメモリ107のフラッシュを行い、続いてステップST11にて、3つのプロセッシングユニットA101・B102・C103が同時に動作するように制御レジスタのデータを書き換える。次に、ステップST4・ST13にて、プロセッシングユニットA101、B102、C103は、ステップST9においてレジスタ退避領域に退避しておいたプロセッシングユニットの全レジスタの内容をリストアする。このようにして動作を再開したプロセッシングユニットA101は、正常動作を行っているプロセッシングユニットB102、C103と全レジスタ内容が同一となる。そして、ステップST5・ST14にて、プロセッシングユニットA101、B102、C103は、障害発生の特別処理ルーチンを終了する。ただし、ステップST3の自己診断の結果が不良であり、ステップS10にて旧不可能な故障と判断されると、ステップST12の制御レジスタのセットは行われず、ステップST13の命令実行にジャンプし、故障したプロセッシングユニットA101を切り離したままで処理を続行することになる。

【0011】

【発明が解決しようとする課題】従来の技術による冗長化プロセッサの異常検出処理では、多数決ユニット135aが各プロセッシングユニット135aの出力に相違があることを検知した場合、上記出力の多数決結果から出力誤りのあるプロセッシングユニットを特定し、このプロセッシングユニットに故障があったと判断して、このプロセッシングユニットによる自己診断テストを行う。従って、出力誤りの原因がプロセッシングユニット

自体ではなく、このプロセッシングユニットに供給されているクロックに障害の原因があったとしても、プロセッシングユニット自体に障害がないかどうか、無駄な自己診断テストを行ってしまう。そのため、冗長化プロセッサシステム全体の処理速度を低下させるといった問題があった。

【0012】この発明は上記のような問題点を解消するためになされたものであり、冗長化プロセッサシステムの信頼性を高めると共に、障害原因の高速な診断を可能にし、プロセッサを高速に復旧させることを目的とする。

【0013】

【課題を解決するための手段】この発明によるプロセッサ装置は、クロック信号の異常を検知するクロック異常検出器と、クロック信号を受けて作動するプロセッサと、このプロセッサの動作異常を検知するプロセッサ異常検出器と、プロセッサ又はクロックの故障を診断する故障診断部と、を備えたものである。

【0014】さらに、複数のプロセッサと、これら複数のプロセッサの出力信号の異常を検出するプロセッサ異常検出器と、クロック信号を発生させる複数のクロック供給器と、これら複数のクロック信号から1つの選択クロック信号を選択してプロセッサに出力するとともに、クロック異常信号によって選択中の上記クロック信号を他の上記クロック信号に切り替えるセレクタと、上記選択クロック信号の異常を検知して上記クロック異常信号を出力するクロック異常検出器と、このプロセッサ異常検出器の出力が異常を示し、上記クロック異常検出器の出力が異常を示していないときに、上記プロセッサの故障診断テスト処理を行い、上記クロック供給器の出力が異常を示したときには上記プロセッサの上記故障診断テスト処理を行わない故障診断部と、を備えたものである。

【0015】加えて、クロック異常検出器からの低優先度の割込信号によって処理を開始し、故障診断テスト処理を行うかどうかを判断する故障診断部を有するものである。

【0016】さらに、上記セレクタによる上記クロック信号の切り替えが起きたときから予め定められた時間まで、上記プロセッサの動作を停止させる凍結回路を備えたものである。

【0017】また、この発明による故障診断方法は、プロセッサの出力に異常があるかを判断するプロセッサ異常検知ステップと、クロック信号に異常があるかどうかを検知するクロック信号異常検知ステップと、上記プロセッサ異常検出ステップの検知結果が異常を示し、かつ、上記クロック信号異常検知ステップの検知結果が異常を示していないときにプロセッサの故障を診断するプロセッサ故障診断ステップと、上記クロック信号異常検知ステップの検知結果が異常を示したときは上記プロセ

ッサ故障診断ステップを行わないプロセッサ故障診断スキップステップを備えたものである。

【0018】

【作用】この発明によるプロセッサ装置は、クロック信号の異常を検知するクロック異常検出器と、クロック信号を受けて作動するプロセッサと、このプロセッサの動作異常を検知するプロセッサ異常検出器と、プロセッサ又はクロックの故障を診断する故障診断部と、を有することにより、プロセッサ異常検出器の出力が異常を示し、上記クロック異常検出器の出力が異常を異常を示していないときにはプロセッサの故障診断テスト処理を行い、上記クロック供給器の出力が異常を示したときにはプロセッサの故障診断テスト処理を行わない。

【0019】さらに、複数のプロセッサと、これら複数のプロセッサの出力信号の異常を検出するプロセッサ異常検出器と、クロック信号を発生する複数のクロック供給器と、これら複数のクロック信号から1つの選択クロック信号を選択してプロセッサに出力するとともに、クロック異常信号によって選択中の上記クロック信号を他の上記クロック信号に切り替えるセレクタと、上記選択クロック信号の異常を検知して上記クロック異常信号を出力するクロック異常検出器と、このプロセッサ異常検出器の出力が異常を示し、上記クロック異常検出器の出力が異常を示していないときに、上記プロセッサの故障診断テスト処理を行い、上記クロック供給器の出力が異常を示したときには上記プロセッサの上記故障診断テスト処理を行わない故障診断部と、有することにより、プロセッサ異常検出器の出力が異常を示し、上記クロック異常検出器の出力が異常を示していないときにはプロセッサの故障診断テスト処理を行い、上記クロック供給器の出力が異常を示したときにはプロセッサの故障診断テスト処理を行わない。

【0020】加えて、クロック異常検出器からの低優先度の割込信号によって処理を開始し、故障診断テスト処理を行うか否かを判断する故障診断部を有することにより、プロセッサに異常のないときはクロック切り替えによってプロセッサは正常に動作するので、より優先度の高い処理を優先して実行する。

【0021】さらに、上記セレクタによる上記クロック信号の切り替えが起きたときから予め定められた時間まで、上記プロセッサの動作を停止させる凍結回路を有することにより、クロック信号の供給が不安定なときはプロセッサを停止させる。

【0022】また、この発明による故障診断方法は、プロセッサの出力に異常があるかを判断するプロセッサ異常検知ステップと、クロック信号に異常があるかどうかを検知するクロック信号異常検知ステップと、上記プロセッサ異常検出ステップの検知結果が異常を示し、かつ、上記クロック信号異常検知ステップの検知結果が異常を示していないときにプロセッサの故障を診断するプロセ

ッサ故障診断ステップと、上記クロック信号異常検知ステップの検知結果が異常を示したときは上記プロセッサ故障診断ステップを行わないプロセッサ故障診断スキップステップを有することにより、クロック信号に異常が発生したときは時間のかかるプロセッサ診断処理を行わない。

【0023】

【実施例】

実施例1. 以下、この発明の一実施例について図を用いて説明する。図1は冗長化した、プロセッシングユニット、冗長クロック装置を示す機能ブロック図である。図1において、1-1はプロセッシングユニットに対して同一周波数、同位相のクロックを供給する冗長クロック装置、1-2a～cは冗長クロック装置1-1から供給されるクロックを受け、定常状態において同期して同一動作を行うプロセッシングユニット（以下、3つのプロセッシングユニットを総称するときはプロセッシングユニット1-2という）、1-3はプロセッシングユニット1-2からの出力信号1-24を多数決し、多数の出力信号をシステムバス1-4に出力する多数決回路、1-5はシステムバス1-4に接続され、データ、命令等を記憶する主記憶メモリ、1-6はシステムバス1-4とI/O装置1-7との間に接続され、システムバス1-4の信号をI/O装置1-7に伝える入力バスアダプタ、1-8は例えばI/O装置1-7や冗長クロック装置1-1からの割り込み信号を受けるとともに制御し、プロセッシングユニット1-2へ割り込みを発行する割り込み制御回路である。この割り込み制御回路1-8からプロセッシングユニット1-2に発行される割り込み信号には、高優先度割り込み信号1-8aと低優先度割り込み信号1-8bがある。次に、冗長クロック装置1-1内の構成を説明すると、1-10a～bはクロックパルスを発信するクロック発生器（以下、総称して1-10と記す）、1-11は切換制御回路1-12のセレクタ選択信号1-21によって、2つのクロック発生器1-10からのクロック信号のうち、どちらか1つのクロック信号をPLL回路1-13に伝えるセレクタ、1-13a～cはプロセッシングユニット1-2に安定したクロック信号を供給するためのPLL回路（総称して1-13と記す）、1-14a～cはPLL回路1-13が outputするクロック1-17に異常が発生したときに切換制御回路1-12に異常を示す信号1-16を出力する電圧比較回路（以下、総称して1-14と記す）である。1-25は、多数決ユニット1-3から出力される割込信号（強制割込信号9-10a～c、単一故障信号9-4a、二重故障信号9-4b）を割込制御回路1-8に伝える割込信号線、1-26aは割込制御回路1-8がプロセッサバス信号A1-24aにマスク不可能な強制割込をかける強制割込信号、1-26b～cも同様に、順にプロセッシングユニットB1-2b、プロセ

ッシングユニットC1-2cに強制割込をかける強制割込信号である。

【0024】この実施例1にかかる冗長化プロセッサ装置においては、冗長化したプロセッシングユニット1-2の動作に異常が発生した場合に、故障が発生した原因を特定し、動作異常が発生した原因がプロセッシングユニット1-2にないときには、プロセッシングユニット1-2の自己診断処理を行わないようにして、動作異常発生時からの復旧処理を高速に終了させ、システムの動作速度を向上するものである。以下に、この実施例1にかかる冗長化プロセッサ装置の動作異常発生時の処理について説明する。

【0025】・異常検出処理及び復旧処理

まず、図1に示した冗長化プロセッサ装置及びプロセッシングユニット1-2の異常検出処理及び復旧処理について、図2を用いて説明する。図2は、図1に示した冗長化プロセッサ装置内の切換制御回路1-12又は多数決ユニット1-3が異常を検出したときに、プロセッシングユニット1-2の動作を復旧させる処理を説明するフローチャートである。図2において、ステップS0a・S1a・S5～S9・S15a・S16aは、障害発生時に多数決ユニット1-3によって異常を検知されたプロセッシングユニット1-2（以下、障害プロセッシングユニットと呼ぶ）の処理を示し、ステップS0b・S1b・S2～S4・S10～S14・S15b・S16bは、多数決ユニット1-3によって異常が検知されなかったプロセッシングユニット1-2の処理を示している。また、ステップS1aとS1bは3つのプロセッシングユニット1-2が同期動作しているときの処理であり、処理内容は同一である。ステップS15aとS15b及びステップS16aとS16bも同様に処理内容は同一である。

【0026】まず、ステップS0a・S0bからスタートし、3つのプロセッシングユニット1-2が同期しながら同一の処理をステップS1a・S1bにて開始する。

【0027】ステップS1a・S1bでは、3つのプロセッシングユニット1-2が多数決ユニット1-3を介して主記憶メモリ1-5内の同一領域にアクセスし、この領域に格納されたプログラムを読み出しながら同一命令を実行する。初期状態において、セレクタ1-11に選択されているクロック発生器1-10は、クロック発生器A1-10aであり、セレクタ選択信号1-21は“0”（電圧レベルがLOW、以下同じ）を出力している。また、切換制御回路1-12内に保持されているPLL回路1-13等の異常を示すフラグ（以下、クロックステータスレジスタと呼ぶ）は全て“0”である（このフラグは、後述の切換制御回路1-2の説明で詳しく説明する多数決信号保持ラッチ8-2及び比較結果保持ラッチ8-3に保持されている）。そして、多数決ユニ

ット1-3に記憶されている制御レジスタは“1110000”を示している（この制御レジスタは、後述する多数決ユニット1-3内の凍結回路内9-3に保持されている。先頭3ビットにおける“1”（電圧レベルがHIGH、以下同じ）の意味は3つのプロセッシングユニット1-2それぞれが論理的にプロセッサバス信号1-24a～cに接続されていることを表している）。この通常同期動作中に、PLL回路1-13又は電圧比較回路1-18に異常が発生すると、電圧比較回路出力1-18が“1”となり、切替制御回路1-12に異常が発生したことが伝えられる。切替制御回路1-12は、切替制御回路1-12内のクロックスステータスレジスタに異常が記憶し、セレクタ選択信号1-21を“1”として、セレクタ1-11にクロック発信源を切り替えるように指示する。この信号を受けたセレクタ1-11は、現在使用しているクロック発信器A1-10aの代わりに、クロック発信器B1-10bをクロック供給源として使用し、クロック発信器B1-10bの出力信号をクロック信号1-15として出力する。また、セレクタ選択信号1-21は多数決ユニット1-3にも伝わり、多数決ユニット1-3に内蔵されたクロック切換監視タイマ15-8が時計測を開始する。このクロック切換監視タイマには、クロック切換後クロック出力が安定するまで一定時間プロセッシングユニット1-2の動作を停止（凍結）させて、プロセッサバス信号1-24a～cの異常の多発を防止する働きがある。一方で切替制御回路1-12は、割込制御回路1-8へ割込要求を発行する。この割込要求を受け取った割込制御回路1-8は、各プロセッシングユニット1-2に対して、低優先度の割込信号を出力する。ここで、低優先度の割込信号を出力する理由は、クロック発信器1-10、PLL回路1-13回路等の1つに異常がある場合には、クロック発信器1-10を切り替えたり、他のPLL回路1-13によって正常に動作するプロセッシングユニット1-2によって動作を継続することができるため、OS等の重要度の高い処理を優先して実行させるためである。

【0028】また、3つプロセッシングユニット1-2の動作に異常が発生し、プロセッサバス信号1-24a～cのうち他のプロセッサバス信号1-24と一致しないものが複数出力された場合の障害検出は、多数決ユニット1-3によって行われる。例えば、プロセッシングユニットA1-2aのプロセッサバス信号1-24aに障害が発生した場合（以下、このような障害が発生したプロセッシングユニットA1-2aを障害プロセッシングユニット1-2と呼ぶ）、多数決ユニット1-3はプロセッシングユニットA1-2aの動作を停止（凍結）させ、多数決ユニット1-3が割込制御回路1-8に対して低優先度の割込要求を出力する。（一方、2つ以上のプロセッサバス信号1-24a～cに異常が発生した場合には、早急に障害の起きた原因を分析し復旧処理を行

う必要があるので、高優先度の割り込み要求が出力される）。また、障害が発生したプロセッシングユニットA1-2aは凍結されるが、正常な出力をしているプロセッシングユニットB1-2b・C1-2c（以下、正常動作プロセッシングユニット1-2と呼ぶ）は動作し続ける。

【0029】以上のように、セレクタ1-11又は多数決ユニット1-3による割込要求を受け取った割込制御回路1-8は、プロセッシングユニット1-2に割込要求信号を送信する。割込要求は、優先度レベルに応じて高優先度割込信号1-8aと低優先度割込信号1-8bとに使い分けられる。この割込信号が各プロセッシングユニット1-2に受け入れられると、図2のステップS2の処理が始まる。以降、ステップS2～S4までの処理は、正常動作プロセッシングユニット1-2によって行われる。

【0030】ステップS2は、障害がどのモジュールで起きたかを特定する障害要因分析処理である。この分析方法の詳細については図3と図4を用いて後述する。この分析は、正常動作プロセッシングユニット1-2によって行われ、例えば、後述の図18に示すような故障モジュールの特定がなされる。このステップS2の処理が終了すると次のステップS3に移る。

【0031】ステップS3は、ステップS2で分析された故障要因が、单一故障であったかどうかを判断する。单一故障とは、1つの電圧比較回路出力信号1-18の異常、1つのプロセッサバス信号1-24の異常、又は、1つのPLL回路1-13にかかる電圧比較回路出力信号1-18及びプロセッサバス信号1-24の異常（例えば、PLL回路A1-13aに接続される電圧比較回路A1-14aの出力信号1-18aと、同PLL回路A1-13aに接続されるプロセッシングユニットA1-2aの出力であるプロセッサバス信号1-24aとが共に異常）、を示している場合を指す。このステップS3で单一故障であったと判断されたときは、ステップS4に移る。单一故障でなく、二重故障（单一故障以外の故障をいう）のときは、二重故障の処理を行う。

【0032】この二重故障の処理が発生したときの処理は、予め定められたプロセッシングユニット1-2が故障要因などの最小限の情報を主記憶メモリ1-5に出力し、若しくはLED、ランプなどに表示を行った後、故障が拡散しないように動作を停止する。ただし、二重故障であり、クロック異常にある場合であって、1つのプロセッシングユニット1-2の出力のみが異常を示している場合には復旧することが可能であるので、障害プロセッシングユニット1-2による後述のステップS5からの処理を行い、及び、後述の正常プロセッシングユニット1-2のステップS10からの処理が実行される。隔離モードへの移行方法及び復帰処理の方法は後述の单一故障の場合と同じである。クロック異常である場合で

も、プロセッシングユニット1-2が二重故障を起こしている場合では、どのプロセッシングユニット1-2が異常であるかを正確に特定できないので、上述のように故障要因等の書き込み等の処理を行って停止する。

【0033】ステップS4は、障害プロセッシングユニット1-2の診断処理又は復旧前処理を行うため、多数決ユニット1-3内の制御レジスタに制御情報を書き込む処理である。障害プロセッシングユニット1-2は、障害が発生してから多数決ユニット1-3によって動作を凍結させられているので、障害プロセッシングユニット1-2の診断処理又は復旧前処理を行うために、障害プロセッシングユニット1-2の凍結を解除しなければならない。そこで、正常動作プロセッシングユニット1-2の動作を一時的に凍結させ障害プロセッシングユニット1-2の動作を開始するため、多数決ユニット1-3に制御情報を書き込む。例えば、障害プロセッシングユニット1-2がプロセッシングユニットA1-2aであるとすると、正常動作プロセッシングユニット1-2によって、多数決ユニット1-3内の制御レジスタは“1001100”に書き換えられ、プロセッシングユニットA1-2aの凍結状態が解除され、プロセッシングユニットB1-2b・C1-2cが凍結状態に入る。このように、1つのプロセッシングユニット1-2が単独で動作している状態を隔離モードという。制御レジスタの値の意味するところは、最初の3ビットが、3つのプロセッシングユニット1-2a～cに対応し、プロセッサバス信号1-24a～cが論理的に接続されている状態のときは“1”を示し、論理的に接続されていないときは“0”を示す。次の1ビットは、“1”的ときは隔離モード、“0”的ときは2つ以上のプロセッシングユニット1-2が同期して動作している状態（同期モード）であることを意味する。また、最後の3ビットは、3つのプロセッシングユニット1-2に順に対応し、“1”的ときは、該当するプロセッシングユニット1-2に強制割込をかけることを意味し、“0”的ときは強制割込をかけないことを意味する。従って、上に示した“1001100”的意味は、プロセッシングユニットA1-2aを隔離モードで動作させるとともに、強制割込をかけるということである。このステップS4の処理を行うことによって、動作は次のステップS5に移る。

【0034】ステップS5は、障害の要因がクロック異常によるものか否かを判断する処理である。ステップS5～S9まで隔離モードで動作し、障害プロセッシングユニット1-2によって処理が行われる。従って、障害プロセッシングユニット1-2の障害要因が一時的なものではなく恒久的なものである場合には、ステップS5～S9までの処理が正しく行われないこともあるが、この場合には、多数決ユニット1-3内に内蔵された隔離モードタイマ15-9によって強制的に正常動作プロセッシングユニット1-2の凍結状態が解除され同期モー

ド（ここでは、ステップS10の処理が開始される）に移行するので、システム全体が停止したままになることはない。ステップS5は、ステップS4で発生した強制割込によって呼び出される処理ルーチンである。（例えば、プロセッシングユニットA1-2aが障害プロセッシングユニットであるときは、強制割込信号1-25によって、プロセッシングユニットA1-2aのみに強制割込が発生する。）異常要因判断は、切換制御回路1-12内のクロックステータスレジスタに保持されている冗長クロック装置1-1の動作状態を調べ、また、多数決ユニット1-3内の制御レジスタの内容を調べることにより行われる。この判断が行われることにより異常要因が冗長クロック装置1-1にある場合はステップS8に移り、プロセッシングユニット1-2にある場合はステップS6に移り自己診断を行なう。例えば、プロセッシングユニットA1-2a自体に何らかの障害がある場合について説明すると、切換制御回路1-12から得られたクロックステータスレジスタの内容は、“0000”である（クロックステータスレジスタの最初の3ビットは、順に、電圧比較回路1-14a～cの出力1-18が異常を示したときに“1”となり、異常がないときには“0”となる。また、最後の1ビットは、3つの電圧比較回路1-14a～cのうち同時に2以上の電圧比較回路1-14の出力1-18に異常を示したときに“1”となり、それ以外では“0”となる）。一方、多数決ユニット1-3内の制御レジスタは“1001100”である。従って、プロセッシングユニットA1-2aに関係するクロックステータスレジスタが“0”をしており、制御レジスタのプロセッシングユニットA1-2aの接続プラグが“1”を示しているため、障害要因はクロック異常ではないと判断され、ステップS6にてプロセッシングユニットA1-2aの自己診断を行う。また、例えば、PLL回路A1-13aだけが障害を起こした場合は、クロックステータスレジスタは“1000”となり、制御レジスタは“1001100”となる。このため、PLL回路A1-13a又は電圧比較回路A1-14a又はこれらの接続線等に障害が発生したと判定され、プロセッシングユニットA1-2aには故障がない可能性が高いためステップS8に移って自己診断処理は行わないようとする。

【0035】ステップS6は、障害プロセッシングユニット1-2の障害を検査するため、また、プロセッシングユニット1-2の障害要因の分析を行うためのデータを記録する自己診断処理を行う。この自己診断処理は、主記憶メモリ1-5への試験データの書き込み、あるいは読み取り、又は所定の演算処理等の様々な命令を実行するプログラムによって行われる。この自己診断の検査結果を有効に利用するためには処理は非常に多数のパターンの処理を実行する必要があり、長い処理時間がかかり、また、検査結果データを格納する主記憶メモリ1-

5又は図示しない磁気ディスク記憶装置等の資源を使用する。ステップS 6の処理が終了すると、次にステップS 7の処を行なう。

【0036】ステップS 7は、自己診断の結果を主記憶メモリ1-5に記憶する処理である。この処理が終了すると次のステップS 8に移行する。

【0037】ステップS 8は、障害プロセッシングユニット1-2内のキャッシュメモリ内容を破棄する処理である。ステップS 7からこのステップS 8に移行する場合の他に、ステップS 5でクロック異常による障害であると判断された場合にも、ステップS 6・7の自己診断処理等をせずにこの処理が行われる。各プロセッシングユニット1-2は、内部に主記憶メモリ1-5の記憶データの一部を持つキャッシュメモリを有する。キャッシュメモリはプロセッシングユニット1-2の命令実行部と主記憶メモリ1-5の間にあって、主記憶メモリ1-5の記憶データの一部のデータを一時的に保持している。プロセッシングユニット1-2が主記憶メモリ1-5にアクセスする際、キャッシュメモリに目的とするデータがある場合には主記憶メモリ1-5に読みに行かず、キャッシュメモリ内のデータを返して、高速なアクセスを可能としている。従って、本実施例1に示したような各プロセッシングユニット1-2が同一の動作を行うシステムでは、同期モードにおいて、各プロセッシングユニット1-2内のキャッシュメモリ内容が同一でなければならない。各キャッシュメモリの内容が異なると、プロセッシングユニット1-2は異なる命令、異なるデータを読み出すことになるので、多数決ユニット1-3に故障検出されてしまうためである。このステップS 8では、ステップS 15で同期モードに戻ったときに各キャッシュメモリの内容を同一にし、上記のような故障検出を防止することを目的として現在のキャッシュメモリの内容を破棄する。このステップS 8が終了すると次のステップS 9に移行する。

【0038】ステップS 9は、多数決ユニット1-3の制御レジスタへの書き込みを行うことにより、隔離モードから正常動作プロセッシングユニット1-2による同期モードに移るための処理である。障害プロセッシングユニット1-2は制御レジスタに何らかのデータを書き込む。この書き込みを行うことにより、多数決ユニット1-3が記憶していた隔離モード前のプロセッシングユニット1-2の接続状態が、制御レジスタの接続フラグに書き込まれる。これにより、隔離モード前のプロセッシングユニット1-2の接続状態に戻ることができる。正常プロセッシングユニット1-2による同期モードに必要な情報は、多数決ユニット1-3に記憶されているため、障害プロセッシングユニット1-2が制御レジスタに書き込むデータは何でもよい。従って、例え、障害プロセッシングユニット1-2の障害により多数決ユニット1-3に正常なデータが書き込めなくとも正常に同

期モードに戻ることができる。ステップS 9が終了すると、障害プロセッシングユニット1-2が凍結し、正常動作プロセッシングユニット1-2の凍結が解除されてステップS 10に移行する。

【0039】ステップS 10は、正常動作プロセッシングユニット1-2の全レジスタ内容を主記憶メモリ1-5に退避させる処理である。ステップS 10～S 14までは、正常プロセッシングユニット1-2によって処理が行われ、障害プロセッシングユニット1-2は凍結されている。この退避は、障害プロセッシングユニット1-2に正常動作プロセッシングユニット1-2のレジスタをコピーするための前段階として行う。このステップS 10の処理が終了すると次のステップS 11に移る。

【0040】ステップS 11は、障害の要因がクロック異常によるものか否かを判断する処理である。判断の方法は、ステップS 5と同様に行われる。ここで、クロック異常による障害と判断された場合にはステップS 13に移り、クロック異常による障害でないと判断された場合には次のステップS 12に移る。

【0041】ステップS 12は、障害プロセッシングユニット1-2の障害が一時的なものであり、復旧可能かをどうかを判断する。この判断は、ステップS 6において実行された自己診断結果に基づいて判断される。この自己診断結果はステップS 7で主記憶メモリ1-5に記憶されている。自己診断結果が全て正常であるときは復旧可能であると判断される。ここで復旧可能であると判断された場合には、次のステップS 13に移り、復旧不可能と判断されたときにはステップS 15 bに移る。

【0042】ステップS 13は、プロセッシングユニット1-2内のキャッシュメモリの内容を主記憶メモリ1-5に書き戻し（ライトバック）、キャッシュメモリ内容を破棄する処理である。プロセッシングユニット1-2はキャッシュメモリとアクセスして、データの読み取り、書き込みを行う。従って、プロセッシングユニット1-2によってキャッシュメモリのデータが変更されても、ライトバックされていない限り主記憶メモリ1-5とキャッシュメモリの内容が異なる場合がある。そこでまず、キャッシュメモリ上のデータを主記憶メモリ1-5に書き戻す。つぎに、ステップS 8で説明したのと同様の理由からキャッシュメモリ内容を破棄する。このステップS 13が終了すると、次のステップS 14に移る。

【0043】ステップS 14は、障害プロセッシングユニット1-2の凍結状態を解除して再び同期モードで動作させるために、多数決ユニット1-3の制御レジスタにデータを書き込む処理である。例えば、制御レジスタへは“1110000”を書き込む。この書き込みによって障害プロセッシングユニット1-2の凍結状態が解除され、次のステップから3つのプロセッシングユニット1-2が同期モードで動作し始める。この処理が終了

すると、次のステップS 15 a・bに移る。

【0044】ステップS 15 a・bでは、ステップS 10において退避された全レジスタ内容を、主記憶メモリ1-5から該当するレジスタに書き戻す処理である。ステップS 12で障害プロセッシングユニット1-2が復旧不可能と判断された場合には、ステップS 14で制御レジスタへの書き込みが行われず、障害プロセッシングユニット1-2の凍結状態が解除されないため、ステップS 15 aは実行されない。このときは、以降正常動作プロセッシングユニット1-2のみによる処理が行われるようになる。この処理によって、主記憶メモリ1-5に退避されていたレジスタ内容が読み込まれるため、障害プロセッシングユニット1-2のレジスタ内容も、正常動作プロセッシングユニット1-2と同じレジスタ内容を持つようになるため、同一の動作をすることが可能になる。また、各プロセッシングユニット1-2のキャッシュメモリも、順次同じ内容で更新されていくことになる。このステップS 15 a・bが終了すると、次のステップS 16 a・bに移る。

【0045】ステップS 16 a・bは、障害発生による割込によってステップS 2～S 15まで行われてきた障害検出及び復旧処理から、ステップS 1 a・b（通常処理）に戻るための処理である。ただし、障害プロセッシングユニット1-2によるステップS 15 aが行われなかつたときはステップS 16 aも行われず、従って、ステップS 1 aに戻ることもない。この処理が終了するとステップS 1 a・bに戻って通常の処理が再開される。

【0046】以上説明したように、この実施例1にかかる障害検出及び復旧処理では、従来と異なり障害の要因が冗長クロック装置1-1にある場合には、プロセッシングユニット1-2の自己診断を行わず、障害検出及び復旧処理にかかる時間を短くすることができる。そのため通常同期動作における他のプログラムの実行速度低下を防ぐことができる。また、切換制御回路1-12内にはどのクロック供給源（PLL回路1-13及び電圧比較回路1-14）にかかる障害か、又は、どのクロック発信器1-10にかかる障害かを記憶しているので、障害原因となっている部分を特定することができ、部品の交換修理等のときに役立てることができる。加えて、従来の技術ではクロック発信器の切り替えが正常に行われた場合、プロセッシングユニット出力は全て一致し、多数決動作は正常に行われるため、原振クロック発信器の切り替えがあつたことを認識できず、次に原振クロック発信器の故障が発生した場合に、正常動作を継続することができない状態であることを認識することができないといった問題があったが、この実施例1では、クロック発信器1-10に故障が発生し、セレクタ1-11によって正常にクロック発信器1-10の切り替えが行われた場合でも、クロック発信器1-10の障害要因分析によって異常が分析され記憶されているので、異常が発生

したことを知ることができる。フォールトレントシステムの安全性を高めることができる。

【0047】続いて、上述のステップS 2における障害要因分析を図3と図4を用いて詳細に説明する。図3及び図4はともに、図2のステップS 2の障害要因分析処理の詳細を示している。図3・4において、図2と同一の符号は同一又は相当の部分を表している。

【0048】まず、図2のステップS 1 bを処理中に、何らかの原因により切り替え制御回路1-12若しくは多数決ユニット1-3から割込制御回路1-8を介して、プロセッシングユニット1-2に割込要求が発生したとする。プロセッシングユニット1-2は割込制御回路1-8からの割込要求レベル（強制割込、高優先度割込、低優先度割込）に応じて現在の処理が終了してから割込要求に応じるか、あるいは現在の処理を中断して即座に割込要求に応じるかを判断する。プロセッシングユニット1-2が割込要求に応じると、ステップS 2の障害要因分析、すなわち図3のステップS 20からの処理が開始される。

【0049】ステップS 20は、多数決ユニット1-3内の制御レジスタから、プロセッシングユニット1-2の接続フラグ15-2を読み出す処理である。この読み出しは、制御レジスタ用に予め割り当てられたアドレスを読み出すことによって行われる。ステップS 20が終了するとステップS 21に移る。

【0050】ステップS 21は、切り替え制御回路1-12内のクロックステータスレジスタの読み出しを行う処理である。この読み出しは、クロックステータスレジスタ用に予め割り当てられたアドレスを読み出すことによって行われる。ステップS 21が終了するとステップS 22に移る。

【0051】ステップS 22は、3つのプロセッシングユニット1-2が全て接続されている状態であるかどうかを判断する処理である。この判断は、ステップS 20で読み出した接続フラグ15-2の内容が“111”であるかどうかによって行われる。ステップS 22で、3つのプロセッシングユニット1-2が全て接続されている状態であるときには、次のステップS 23に移り、3つのプロセッシングユニット1-2が接続されていないと判断されたときには図4のステップS 34に移る。

【0052】ステップS 23は、電圧比較回路A 1-14 aのみが異常を示しているかを判断する。この判断は、ステップS 21で読み出したクロックステータスレジスタの値に基づいて行い、クロックステータスレジスタの値が、例えば“1000”であったときに電圧比較回路A 1-14 aのみが異常を示していると判断される。ステップS 23で、電圧比較回路A 1-14 aのみに異常があると判断されたときは、ステップS 24に移り、PLL回路A 1-13 a、電圧比較回路A 1-14 a、及びその接続線等に故障があったことを記憶して図

2のステップS 3に戻る。一方、電圧比較回路A 1-14 aのみの異常でないときはステップS 25に移る。

【0053】ステップS 25は、電圧比較回路B 1-14 aのみが異常を示しているかを判断する。この判断は、クロックステータスレジスタの値が、例えば“0100”であったときに、電圧比較回路B 1-14 aのみが異常を示していることによって行われる。ステップS 25で、電圧比較回路B 1-14 aのみが異常を示していると判断されたときは、ステップS 26に移り、PLL回路B 1-13 b、電圧比較回路B 1-14 b、及びその接続線等に故障があったことを記憶して図2のステップS 3に戻る。一方、電圧比較回路B 1-14 bのみの異常でないときはステップS 27に移る。

【0054】ステップS 27は、電圧比較回路C 1-14 cのみが異常を示しているかを判断する。この判断は、クロックステータスレジスタの値が、例えば“0010”であったときに、電圧比較回路C 1-14 cのみが異常を示していることによって行われる。ステップS 27で、電圧比較回路C 1-14 cのみが異常を示していると判断されたときは、ステップS 28に移り、PLL回路C 1-13 c、電圧比較回路C 1-14 c、及びその接続線等に故障があったことを記憶して図2のステップS 3に戻る。一方、電圧比較回路C 1-14 cのみの異常でないときはステップS 29に移る。

【0055】ステップS 29は、全ての電圧比較回路1-14が異常を示しているかを判断する。この判断は、クロックステータスレジスタの値が“1111”であったときに、全ての電圧比較回路1-14が異常を示していることによって行われる。ステップS 29で、全ての電圧比較回路1-14が異常を示していると判断されたときは、ステップS 30に移り、故障の原因是クロック発生器A 1-10 aであったことを記憶して図2のステップS 3に戻る。一方、全ての電圧比較回路1-14が異常を示しているわけではないときにはステップS 31に移る。

【0056】ステップS 31は、全ての電圧比較回路1-14が正常を示しているかを判断する。この判断は、クロックステータスレジスタの値が、例えば“0000”であったときに、全ての電圧比較回路1-14が正常であるとすることによって行われる。ステップS 31で、全ての電圧比較回路1-14が正常を示していると判断されたときは、ステップS 32に移り、故障の原因是クロック発生器A 1-10 aであったことを記憶して図2のステップS 3に戻る。一方、全ての電圧比較回路1-14が正常を示しているわけではないときにはステップS 33に移り、2つ以上の電圧比較回路1-14が異常を示していること（すなわち、二重故障であること）を記憶して、図2のステップS 3に戻る。

【0057】次に、図3のステップS 22で3つのプロセッシングユニット1-2が、接続されていないと判断

された場合の処理について、図4を用いて説明する。

【0058】ステップS 34は、プロセッシングユニットA 1-2 aのみが切り離されている状態であるかどうかを判断する。この判断は図3のステップS 20で読み出された接続フラグ15-2の値を調べることによって行われ、接続フラグ15-2の値が“011”であったときには、プロセッシングユニットA 1-2 aのみが切り離されていると判断される。プロセッシングユニットA 1-2 aのみが切り離されているとき(YESのとき)には、ステップS 35に移り、そうでない(NOのとき)にはステップS 39に移る。

【0059】ステップS 35は全ての電圧比較回路1-14が正常を示しているかを判断する。正常を示しているかどうかはクロックステータスレジスタの値を調べ、クロックステータスレジスタの値が、例えば“0000”であるときは全ての電圧比較回路1-14が正常を示していると判断する。ステップS 35で全て正常である(YES)と判断されたときは、ステップS 36に移り、故障の原因是プロセッシングユニットA 1-2 aにあることを記憶して図2のステップS 3に戻る。一方、全てが正常ではなく、電圧比較回路1-14が1つでも異常を示している(NO)と判断されたときは、ステップS 36に移る。

【0060】ステップS 36は、3つの電圧比較回路1-14のうち電圧比較回路A 1-14 aのみが異常を示しているかどうかを判断する。電圧比較回路A 1-14 aのみが異常を示しているかどうかは、クロックステータスレジスタの値を調べることによって行われる。クロックステータスレジスタが、例えば“1000”であるときは、他の電圧比較回路B 1-14 b・C 1-14 cは異常を示していないので電圧比較回路A 1-14 aのみが異常を示していると判断する。ステップS 36で電圧比較回路A 1-14 aのみが異常を示している(YES)と判断されたときは、ステップS 37に移り、PLL回路A 1-13 a、電圧比較回路B 1-14 b、及びその接続線等に異常があることを記憶して、図2のステップS 3に戻る。一方、それ以外、すなわち電圧比較回路A 1-14 aのみが異常を示している状態ではない(NO)と判断されると、ステップS 38に移り、二重故障であることを記憶して図2のステップS 3に戻る。

【0061】ステップS 39は、ステップS 34でNOと判断された場合に、プロセッシングユニットB 1-2 bのみが切り離されているかどうかを判断する。上述のステップS 34～S 38までがプロセッシングユニットA 1-2 aに関わる部分（プロセッシングユニット1-2、電圧比較回路1-14等）について障害要因を分析したのに対し、ステップS 39～44まではプロセッシングユニットB 1-2 bに関わる部分の障害要因を分析している。ステップS 39において、プロセッシングユニットB 1-2 bのみが異常を示しているかどうかは図

3のステップS 2 0で読み出された接続フラグ15-2の値を調べることによって行われ、接続フラグ15-2の値が“101”であったときには、プロセッシングユニットB 1-2 bのみが切り離されていると判断される。プロセッシングユニットB 1-2 bのみが切り離されているとき(YESのとき)には、次のステップS 4 0に移り、そうでない(NOの)ときにはステップS 4 5に移る。

【0062】ステップS 4 0は全ての電圧比較回路1-14が正常を示しているかどうかを判断する。正常を示しているかどうかはクロックステータスレジスタの値を調べ、クロックステータスレジスタの値が、例えば“000”であるときは全ての電圧比較回路1-14が正常を示していると判断する。ステップS 4 0で全て正常である(YES)と判断されたときは、ステップS 4 1に移り、故障の原因はプロセッシングユニットB 1-2 bにあることを記憶して図2のステップS 3に戻る。一方、全てが正常ではなく、電圧比較回路1-14が1つでも異常を示している(NO)と判断されたときは、ステップS 4 2に移る。

【0063】ステップS 4 2は、3つの電圧比較回路1-14のうち電圧比較回路B 1-14 bのみが異常を示しているかどうかを判断する。電圧比較回路B 1-14 bのみが異常を示しているかどうかは、クロックステータスレジスタの値を調べることによって行われる。クロックステータスレジスタが、例えば“0100”であるときは、他の電圧比較回路A 1-14 a・C 1-14 cは異常を示していないので電圧比較回路B 1-14 bのみが異常を示していると判断する。ステップS 4 2で電圧比較回路B 1-14 bのみが異常を示している(YES)と判断されたときは、ステップS 4 3に移り、PLL回路B 1-13 b、電圧比較回路B 1-14 b、及びその接続線等に異常があることを記憶して、図2のステップS 3に戻る。一方、それ以外、すなわち電圧比較回路B 1-14 bのみが異常を示している状態ではない(NO)と判断されると、ステップS 4 4に移り、二重故障であることを記憶して図2のステップS 3に戻る。

【0064】ステップS 4 5は、ステップS 3 9でNOと判断された場合に、プロセッシングユニットC 1-2 cのみが切り離されているかどうかを判断する。上述のステップS 3 4～S 3 8までがプロセッシングユニットA 1-2 aに関わる部分(プロセッシングユニット1-2、電圧比較回路1-14等)について、上述のステップS 3 9～4 4までがプロセッシングユニットB 1-2 bについて障害要因を分析したのに対し、ステップS 4 5～5 0まではプロセッシングユニットC 1-2 cに関わる部分の障害要因を分析している。ステップS 4 5において、プロセッシングユニットC 1-2 cのみが異常を示しているかどうかは、接続フラグ15-2の値が“110”であるかどうかによって判断され、“11

0”であるときには、プロセッシングユニットC 1-2 cのみが切り離されていると判断される。プロセッシングユニットC 1-2 cのみが切り離されているとき(YESのとき)には、次のステップS 4 6に移り、そうでない(NOの)ときにはステップS 5 0に移る。

【0065】ステップS 4 6は全ての電圧比較回路1-14が正常を示しているかどうかを判断する。正常を示しているかどうかはクロックステータスレジスタの値を調べ、クロックステータスレジスタの値が、例えば“000”であるときは全ての電圧比較回路1-14が正常を示していると判断する。ステップS 4 6で全て正常である(YES)と判断されたときは、ステップS 4 7に移り、故障の原因是プロセッシングユニットC 1-2 cにあることを記憶して図2のステップS 3に戻る。一方、全てが正常ではなく、電圧比較回路1-14が1つでも異常を示している(NO)と判断されたときは、ステップS 4 8に移る。

【0066】ステップS 4 8は、3つの電圧比較回路1-14のうち電圧比較回路C 1-14 cのみが異常を示しているかどうかを判断する。電圧比較回路C 1-14 cのみが異常を示しているかどうかは、クロックステータスレジスタの値を調べることによって行われる。クロックステータスレジスタが、例えば“0010”であるときは、他の電圧比較回路A 1-14 a・B 1-14 bは異常を示していないので電圧比較回路C 1-14 cのみが異常を示していると判断する。ステップS 4 8で電圧比較回路C 1-14 cのみが異常を示している(YES)と判断されたときは、ステップS 4 9に移り、PLL回路C 1-13 c、電圧比較回路C 1-14 c、及びその接続線等に異常があることを記憶して、図2のステップS 3に戻る。一方、それ以外、すなわち電圧比較回路C 1-14 cのみが異常を示している状態ではない(NO)と判断されると、ステップS 5 0に移り、二重故障であることを記憶して図2のステップS 3に戻る。

【0067】ステップS 5 1は、ステップS 4 5でNOと判断された場合に、二重故障であることを記憶する処理である。ステップS 3 4・S 3 9・S 4 5とともに、該当する1つのプロセッシングユニット1-2のみが切り離されている状態でないと既に判断されているので、このステップS 5 1に処理が到達した場合には、少なくとも2つ以上のプロセッシングユニット1-2が切り離されている状態であると判断することができる。ステップS 5 1が終了すると、図2のステップS 3に戻る。

【0068】以上の説明のように、障害要因が何にあるのかを特定し、この特定した結果をもって図2のステップS 3の判断材料に用いる。なお、以上図3・4において説明した障害要因の分析結果は、プロセッシングユニット1-2内のレジスタに記憶しておくだけでなく、主記憶メモリ1-5の所定の領域に障害が発生する度に蓄え続けていくと、後からどのような障害が発生したかを

分析するのに利用することができる。この分析結果は、障害の要因がどのプロセッシングユニット1-2にあるか、あるいは、どのクロック供給源（PLL回路1-13、電圧比較回路1-14等）にあるかといった詳細なもののため、障害原因の究明、故障モジュールの修理交換が容易になるという効果を生み出す。

【0069】次に、図1に示した処理装置の各構成要素について個々に詳細説明する。

【0070】・PLL回路1-13及び電圧比較回路1-14

まず、PLL回路1-13及び電圧比較回路1-14について図5を用いて説明する。図5において、図1と同一の符号は同一又は相当の部分を示す。5-1は図1のセレクタ1-11供給される基準クロック信号1-15と後述のVCOによって生成されたクロック信号1-17との位相を比較する位相比較器であり、5-2は位相比較器5-1からの出力の高周波成分を除去した電圧1-16を出力するローパスフィルタ（以下、LPFと略す）、5-3はLPF5-3の出力電圧1-16に応じてクロック信号1-17を生成する電圧制御発信器（以下、VCOと略す）である。以上が図1に示したPLL回路1-13内部の構成要素である。次に、図1の電圧比較回路1-14の内部構成を説明する。5-4は所定の電圧Vref1を出力する電圧源、5-5はLPF5-3の出力電圧1-16と電圧源5-4の出力電圧Vref1とを比較するコンパレータ、同様に、5-6は所定の電圧Vref2を出力する電圧源、5-7はLPF5-3の出力電圧1-16と電圧源5-6の出力電圧Vref2とを比較するコンパレータである。コンパレータである5-5と5-7は、電圧源5-4・5-6とLPF5-3出力電圧1-16電圧とを入力する端子が互いに入れ違いになっており、それぞれ出力電圧1-16の上限と下限とを検出することができる。5-8はコンパレータ5-5・5-7の出力の論理和をとった電圧比較結果信号1-18を出力するOR回路である。

【0071】つぎに、PLL回路1-13及び電圧比較回路1-14の動作を図6・7を参照しながら説明する。図6は、基準クロック1-15位相がずれた場合のPLL回路1-13及び電圧比較回路1-14の動作を説明する図である。図6(1a)～(1d)は、順に、基準クロック信号1-15、VCO出力1-17、LPF出力電圧1-16、電圧比較結果信号1-18といつた図5に示した各信号の波形を説明している。図5(2a)～(2d)も同様で、順に、基準クロック信号1-15、VCO出力1-17、LPF出力電圧1-16、電圧比較結果信号1-18を示している。図7は図6と同様の信号について示している図であるが、位相がずれた場合でなく、基準クロック1-15の周波数が変化した場合の動作を説明しており、図6と同一の符号は同一又は相当の部分を表す。

【0072】まず、基準クロック1-15が正常なときの動作を説明する。このときの信号波形は、図6では記号Aで表わされている期間の波形である。図5(1a)の基準クロック1-15が一定の周波数で、位相のずれも生ぜずに供給されているときには、LPF電圧1-17は、図6(1c)のように一定の電圧となる。VCO5-3は、このLPF出力電圧1-17の電圧に応じた周波数でクロックを発振するようになっているが、図6の期間Aに示したように基準クロック1-15が正常に出力されている場合には、この基準クロック1-15に相当する(1b)のようなクロック信号1-17を出力するように設計されている。そして、LPF出力1-16が、出力電圧Vref1以下Vref2以上であるため、電圧比較結果信号1-18の出力は、図6(1d)に示すように“0”状態である（このとき、図1のセレクタ1-11によってクロック発信器A1-10aが選択されている）。

【0073】つぎに、基準クロック1-15に異常が発生し位相が早くなった場合を説明する。このときの信号波形は、図6の各波形(1a)～(1d)において、記号B及びCで表されている。期間Bのように基準クロック1-15の位相が早くなり始めると、VCO出力1-17との位相のずれが生じ始める。このとき、LPF出力1-17は、図6(1c)のように高くなつて行く。このLPF出力1-17は、LPF5-3の低周波のみを通すという特性から位相のずれに対する反応が純感であるので、このLPF出力1-17を受けたVCO出力1-17の周波数変化は緩やかに遅れて発生する。そのため、前述のような位相のずれが発生する。この位相のずれが大きくなつていくと図6の期間BのようにLPF出力1-17が次第に高くなつていき、ついにVref1以上となる。このとき、図5のコンパレータ5-5がHIGHになり、OR回路5-8が、電圧比較結果信号1-18を“0”からHIGHに切り替える（従って、図6の期間Cのようになる）。この電圧比較結果信号1-18がセレクタ1-11に伝わると、基準クロック1-15は、クロック発信器A1-10aのクロックからクロック発信器B1-10bのクロックへと切り替わる。

【0074】続いて、基準クロック1-15に異常が発生し位相が遅くなつた場合を説明する。このときの信号波形は、図6の各波形(2a)～(2d)において、記号B及びCで表されている。期間Bのように基準クロック1-15の位相が遅くなり始めると、上述の位相が早くなつたときと同様に、VCO出力1-17との位相のずれが生じ始める。このとき、LPF出力1-17は、図6(2c)のように低くなつて行く。位相のずれが大きくなつていくと期間BのようにLPF出力1-17が次第に低くなつていき、ついにVref2以下となる。このとき、図5のコンパレータ5-7がHIGHになり、OR回路5-8が、電圧比較結果信号1-18を“0”か

らHIGHに切り替える（従って、図6の期間Cのようになる）。すると、上述の場合と同様に、基準クロック1-15は、クロック発信器A1-10aのクロックからクロック発信器B1-10bのクロックへと切り替わる。

【0075】次に、基準クロック1-15の周波数が変化した場合について、図7を参照しながら簡単に説明する。基準クロック1-15の周波数が変化した場合は、大まかにいえば、同時に位相のずれも発生するので、回路の動作は、位相がずれた場合と同様に動作する。まず、基準クロック1-15の周波数が高くなつた場合について、図7(1a)～(1d)に基づいて説明する。基準クロック1-15の周波数が高くなると、期間Bに示したようにLPF出力電圧1-16が次第に高くなつてき、Vref1を超えると、図5のOR回路5-8の出力である電圧比較結果信号1-18がHIGHとなって、図1のセレクタ1-11が、基準クロック1-15を、クロック発信器A1-10aのクロックからクロック発信器B1-10bのクロックへと切り替える。以上の動作は、上述の位相が高くなつた場合の動作に相当する。

【0076】一方、基準クロック1-15の周波数が低くなつた場合は、図7(2a)～(2d)の期間Bに示したようにLPF出力電圧1-16が次第に低くなつてき、Vref2を下回ったときに、図5のOR回路5-8の出力である電圧比較結果信号1-18がHIGHとなって、上述と同様に、図1のセレクタ1-11が、基準クロック1-15の切換を行う。以上の動作は、上述の位相が遅くなつた場合の動作に相当する。

【0077】・切換制御回路1-12

次に、切換制御回路1-12について、図8を用いて説明する。図8は切換制御回路1-12の内部構成を示すものである。図8において、8-1は電圧比較回路1-14a～cからの電圧比較回路出力信号1-18a～cの多数決をとる多数決回路A、8-2は多数決回路A8-1の出力の値を保持する多数決信号保持ラッチ、8-3aは電圧比較回路出力信号1-18aを保持する比較結果保持ラッチ、8-3b及び8-3cも同様に、順に、電圧比較結果回路出力1-18b若しくは1-18cを保持する比較結果保持ラッチである（以下、8-3a～cを総称して8-3で表す）。比較結果保持ラッチ8-3と多数決信号保持ラッチ8-2をまとめてクロックステータスレジスタと呼ぶ。8-4は、比較結果保持ラッチ8-3の出力及び多数決信号保持ラッチ8-2の出力（すなわち、クロックステータスレジスタの出力）を、クロックステータスストローブ信号1-19に応じて、図1のシステムバス1-4に出力する出力バッファ、8-5a～cは、比較結果保持ラッチ8-3の出力とクロック異常割込マスク信号1-20との論理積をとつて、OR回路8-6に出力するAND回路、8-5d

も同様にクロック異常割込マスク信号と多数決結果保持ラッチ8-2の出力の論理積をとるAND回路、8-6はAND回路8-5a～dの出力の論理和をとり、AND回路8-5a～dのどれか1つでもHIGHとなつたときには、クロック異常割込信号を出力するOR回路である。

【0078】統いて、この回路の動作を説明する。基準クロック1-15が正常に供給されているときは、電圧比較回路1-14からの出力1-18は、全て“0”を示しており、そのため、多数決回路A8-1の出力は、多数決の結果“0”を出力する。この“0”的出力は多数決信号保持ラッチ8-2を介してセレクタ選択信号1-21として出力される。また、電圧比較回路1-14の出力1-18は比較結果保持ラッチ8-3にも入力される。比較結果保持ラッチ8-3は入力が“0”的ときは、保持内容を変化させないので、ここでは“0”を出力する。一方、出力バッファ8-4の出力であるクロックステータス信号1-22はクロックステータスストローブ信号1-19が定常状態のとき、（ここでは“1”的とき）、は出力されない。基準クロック1-15が異常を示したときは、切換制御回路1-12には2つの動作がある。第1に、電圧比較結果信号1-18a～cの出力のうち1つだけが異常（“1”）を示した場合である。例えば、電圧比較回路A1-14aの出力が“1”となったときには、多数決回路A8-1には、2つの正常入力（“0”）と1つの異常入力（“1”）が加わるので、多数決の結果、出力は“0”となり、セレクタ選択信号1-21が“0”となって、図1のセレクタ1-11によるクロック発信器1-10の切り替えは行われない。一方、比較結果保持ラッチA8-3aには、“1”的信号が入力されるので、比較結果保持ラッチA8-3aの保持内容は、以降“1”となって、クロック異常割込マスク信号1-20によってマスクされないとときには、OR回路8-6を介して、クロック異常割込信号1-23が“1”となり、図1の割込制御回路1-8に割込要求する。また、他の比較結果保持ラッチ8-3b～cは、入力される電圧比較結果信号1-18b～cが“0”であるので、保持内容の変更は行われない。ここで、セレクタ選択信号1-21が“0”的までセレクタ1-11による切り替えを行わず、クロック異常割込信号1-23が“1”となって割込だけを発生させるのは、電圧比較回路1-14によって検出されるクロックの異常が、1つの電圧比較回路1-14だけで起きていることから、図1のクロック発信器A1-10aの異常ではないと判断できるので、セレクタ1-11による切り替えが必要なく、異常を示した電圧比較回路1-14にかかる回路（この例の場合、PLL回路1-13a若しくは電圧比較回路1-14a）に異常が発生したことだけを知らせるためである。第2に、電圧比較結果信号1-18a～cの出力のうち2つ以上が異常

(“1”)を示した場合である。例えば、電圧比較回路1-14a～c全ての出力が“1”となったときには、多数決回路は、多数決の結果として、“1”を出力し、多数決信号保持ラッチ8-2が保持内容を“1”に替えるので、セレクタ選択信号1-21が“1”となって、図1のセレクタ1-11によるクロック発信器1-10の切り替えが行われる。一方、比較結果保持ラッチ8-3a～cには、全て“1”的信号が入力されるので、全ての比較結果保持ラッチ8-3の保持内容が以降“1”となる。比較結果保持ラッチ8-3の出力がクロック異常割込マスク信号1-20によってマスクされないときには、OR回路8-6を介して、クロック異常割込信号1-23が“1”となり、図1の割込制御回路1-8に割込が要求される。ここでは、全ての電圧比較回路1-14が異常を示しているので、図1に示した3つのPLL回路1-13に基準クロック1-15を供給しているクロック発生器1-12に異常が発生した確率が高いため、基準クロック1-15の供給源をクロック発信器A1-10aからクロック発信器B1-10bに切り替える。

【0079】次に、クロック異常割込マスク信号1-20について説明する。クロック異常割込マスク信号は1-20は、クロック異常割込信号1-23によってプロセッシングユニット1-2により異常を検知する処理を行った後は、同じ要因によって再び割込がかからないようにマスクするための信号である。例えば、電圧比較回路A1-14aによって異常が検知された場合は、上述のように、以降、比較結果保持ラッチA8-3aが

“1”を保持し続ける。この比較結果保持ラッチA8-3aからの信号は、クロック異常割込信号1-23によってプロセッシングユニット1-2に割込処理を要求し、プロセッシングユニット1-2がそれを受けて、異常検出処理等を行う。しかし、この異常検出処理を行った後も、この電圧比較回路A1-14aは、“1”を保持し続けるので、このままの状態では再び割込がかかりてしまう。そこで、上述の異常検出処理が終了した後は、比較結果保持ラッチA8-3aによる割込がかからないように、クロック異常割込マスク信号1-20信号の比較結果保持ラッチA8-3aに対応する信号を

“0”として、比較結果保持ラッチA8-3aの“1”出力をマスクするようとする。

【0080】続いて、クロックステータスストローブ信号1-12による動作について説明する。クロックステータスストローブ信号1-12は、プロセッシングユニット1-2が異常検出処理を行う際に、異常の発生要因を調べるためにストローブ信号である。プロセッシングユニット1-2は、異常検出処理を行う際に異常が起きた箇所を特定するため、切換制御回路1-12内に記憶された多数決信号保持ラッチ8-2の保持内容と比較結果保持ラッチ8-3の保持内容(クロックステータスレ

ジスタの内容)を調べる。このとき、これらの保持内容を読み出すタイミングを指定するのがクロックステータスストローブ信号1-12である。プロセッシングユニット1-2による上述の保持内容の読み出しは、システムバス1-4を介して行われるため、システムバス1-4を流れる他の信号と重なり合わないように、比較結果保持ラッチ8-3等の保持内容を出力するタイミングを指定する必要がある。本回路の場合、読み出しが行われないときは、クロックステータスストローブ信号1-12は“1”となっており、読み出しを開始するときに“0”となる。クロックステータスストローブ信号1-12が“0”となると、出力バッファ8-4がクロックステータスレジスタの4つの信号がシステムバス1-4上に出力され、プロセッシングユニット1-2がこの4つの信号を読みとることが可能になる。この読み取りが終了すると、再びクロックステータスストローブ信号1-12が“1”となって、出力バッファ8-4は出力をカットして、クロックステータスレジスタの信号がシステムバス1-4上に流れないようにする。

【0081】・多数決ユニット

次に、図1に示した多数決ユニット1-3の内部構成及び動作について説明する。図9は多数決ユニットの内部構成を説明する図である。図において図1と同一の符号は同一又は相当の部分を表す。9-1は3つのプロセッサバス上の信号の多数決をとるとともに、これら3つの信号が一致しているか否かを検出する多数決回路B、9-2は多数決回路B9-1の多数決の結果を出力する出力信号9-5を受け取ってシステムバス1-4に出力し、また、システムバス1-4の信号を入力信号9-6(a～c)として3つのプロセッシングユニット1-2に出力するインターフェース機能を有する機能回路、9-3は多数決回路B9-1の比較結果信号9-7を受け取ってこの結果をもとに、プロセッシングユニット1-2の運転／停止を制御する凍結回路である。

【0082】以下に多数決ユニット1-3の動作を説明する。まず、プロセッシングユニット1-2からプロセッサバス信号1-24としてアドレス、データ、リードライト等のシステムバス1-4にのせる必要のある信号を送る。この実施例ではプロセッシングユニット1-2が図1のように3つ接続されているので、3組のプロセッサバス信号1-24a～cが多数決回路B9-1に入力される。多数決回路B9-1では、上述の3組のプロセッサバス信号1-24a～cの多数決をとり、多数派の信号を1組だけ選択して出力信号9-5として出力する。また、プロセッサバス信号1-24a～cの比較結果は、比較結果信号9-7として凍結回路9-3に出力され、3組のプロセッサバス信号1-24a～cのうちどれか1本が他の2本と相違した場合には、单一故障信号9-4が機能回路9-2に故障を知らせる。多数決回路B9-1によって出力された出力信号9-5は、機能

回路9-2に伝わり、機能回路9-2がシステムバス1-4とのインターフェースをとって、システムバス1-4に出力信号9-2の内容を出力する。また、システムバス1-4からデータ等の信号を受け取ったときは、今度は逆にシステムバス1-4の信号をプロセッサバス信号1-24a～cに変換して入力信号9-6a～cとしてプロセッシングユニット1-2へ出力する。

【0083】では次に、プロセッサバス信号1-24a～cの1つに間違いがあった場合について説明する。例えば、プロセッサバス信号1-24aに障害があり、他のプロセッサバス信号1-24b～cと異なったとすると、多数決回路B9-1は、機能回路9-2及び凍結回路9-3に、多数派であるプロセッサバス信号1-24cの信号を出力信号9-5として出力する。この機能は後述の多数決回路B9-1の説明にて示す。また、同時に单一故障信号9-4bが“1”となって機能回路9-2に、单一故障が発生したことを伝える。機能回路9-2は单一故障の場合には、多数決回路B9-1から入力された出力信号9-5を主記憶メモリ1-5や1/O装置1-7等に出力する。このときシステムバス1-4とのインターフェースをとるために、出力信号9-5をシステムバス1-4の信号に変換して主力とする。この出力が正常に終了し1命令の全てのステップが全て終了すると内部応答信号9-8が出力され、凍結回路9-3によってプロセッサバス信号1-24a～cの一部として応答信号9-11a～cがプロセッシングユニット1-2に伝える。プロセッシングユニット1-2はこのとき初めて次の命令の実行が可能となる。一方、多数決回路B9-1によって故障が検知されたため、割込制御回路1-8に低優先度の割込要求が発行される。

【0084】・多数決回路B9-1

図10は、図9中の多数決回路B9-1の内部構成を説明する図である。図10において図1及び図9と同一の符号は、同一又は相当の部分を表す。10-1aは、プロセッサバス信号1-24aとプロセッサバス信号1-24cとを比較して、両プロセッサバス信号1-24aと1-24cとが一致するか否かを判定する比較回路AC、10-1bは10-1aと同様に、プロセッサバス信号1-24aと1-24bとが一致するか否かを判定する比較回路AB、10-1cも同様にプロセッサバス信号1-24bと1-24cとが一致するか否かを判定する比較回路BCである。これら3つの比較回路10-1a～cを総称して、以下、比較回路10-1とする。この比較回路10-1の詳細は図11に示されている。10-2は3つの比較回路10-1のそれぞれから出力されていて比較結果信号9-71～73を受け取って、故障が1つのプロセッシングユニット1-2にかかるものであるか、複数のプロセッシングユニット1-2にかかるものかを判定して、单一故障信号9-4b、二重故障信号9-4aとして出力するエラー判別回路である。

このエラー判別回路の詳細は図12に示されている。10-3は比較結果信号9-71～73から2以上のプロセッシングユニット1-2が示すプロセッサバス信号1-24を判別し、この判別された信号のうち1つのプロセッサバス信号1-24を選択して、出力信号9-5として出力する選択回路である。この選択回路10-3の詳細は、図13に示されている。図11は、図10中の比較回路10-1の内部構成を説明する図である。図11では、図10の比較回路AC10-1aを示しているが、他の比較回路10-1b・cにおいても基本的な構成は同じである（ただし、入出力は図10に示した通りに接続される）。図11において、図1及び図10と同一の符号は、同一又は相当の部分を表す。図11において、11-11～1nは、プロセッサバス信号1-24aと1-24cとの反転型排他的論理和をとるEXNOR回路である。ここで、プロセッサバス信号1-24a1は、プロセッサバス信号1-24aの1番目の信号線の信号、プロセッサバス信号1-24a2も同様に、プロセッサバス信号1-24aの2番目の信号線、1-24anは、n本あるプロセッサバス信号1-24aのn番目の信号線の信号である。1-24c1～nも、1-24a1～nと同様に、プロセッサバス信号1-24cの1番目からn番目の信号を表している。図12は、図10中のエラー判別回路10-2の内部構成を説明する図である。図12において、図10と同一の符号は、同一の部分を表す。12-1は比較結果信号9-71～73を入力とし、二重故障信号9-4aを出力する3入力NOR回路、12-2は比較結果信号9-71～73を入力とし、この入力の論理積をとって2入力NOR回路12-3に出力する3入力AND回路、12-3は二重故障信号9-4aと3入力AND回路の出力を受け取り、出力として单一故障信号9-4bを出力する2入力NOR回路である。図13は図10中の選択回路10-3の内部構成を説明する図である。図15において、図9及び図10と同一の符号は同一又は相当の部分を表す。1-24a1～n・1-24c1～nの信号は、図11にて説明したものと同様の信号であり、1-24b1～nについても、1-24a1～nと同様に、プロセッサバス信号1-24bの1番目からn番目の信号を表している。13-1a1は、プロセッサバス信号1-24a1と比較結果信号AC9-71との論理積をとって3入力OR回路13-2aに出力する2入力AND回路、13-1b1は、プロセッサバス信号1-24b1と比較結果信号AB9-72との論理積をとって3入力OR回路13-2aに出力する2入力AND回路、13-1c1はプロセッサバス信号1-24c1と比較結果信号BC9-73との論理積をとって3入力OR回路13-2aに出力する2入力AND回路である。1-24a2・b2・c2については、上述と同様にプロセッサバス信号1-24a～cの2番目の信号線の信号と対応

する比較結果信号 $9-7_1 \sim 7_3$ との論理積をとつて、3入力OR回路 $13-2_2$ に出力する2入力AND回路、 $1-2_4 a_n \cdot b_n \cdot c_n$ も、上述と同様にプロセッサバス信号 $1-2_4 a \sim c$ のn番目の信号線の信号と対応する比較結果信号 $9-7_1 \sim 7_3$ との論理積をとつて、3入力OR回路 $13-2_n$ に出力する2入力AND回路である。 $13-2_1$ は3つの2入力AND回路 $13-1_a_1 \cdot 1_b_1 \cdot 1_c_1$ からの出力信号を受け取り、この出力信号の論理和をとつて出力信号 $9-5_1$ として出力する3入力AND回路であり、 $13-2_2$ も同様に2入力AND回路 $13-1_a_2 \cdot 1_b_2 \cdot 1_c_2$ の出力信号を入力として、出力信号 $9-5_2$ を出力する3入力AND回路、 $13-2_n$ も同様に2入力AND回路 $13-1_a_n \cdot 1_b_n \cdot 1_c_n$ の出力信号を入力として、出力信号 $9-5_n$ を出力する3入力AND回路である。 $9-5_1 \sim 5_n$ は、出力信号 $9-5$ の1番目の信号線からn番目の信号線の信号を表している。図14は、図10に示した多数決回路B $9-1$ の動作を説明する図である。ここでは、説明を簡単にするために、プロセッサバス信号 $1-2_4 a \sim c$ が2ビット($n=2$)で構成されている場合を示している。図14において、図10~12と同一の符号は同一又は相当の部分を表す。

【0085】次に、以上のように構成された多数決回路B $9-1$ の動作について説明する。主に比較回路 $10-1$ 、選択回路 $10-3$ 、エラー判別回路 $10-2$ の動作について図14を参照しながら、図10~図13を用いて説明する。

【0086】【正常時動作】図14における第1列及び第2列は、3つのプロセッシングユニットの出力が全て等しい場合である。この場合、比較回路 $10-1$ の内部にある2入力EXNOR回路 $11-1_1 \sim 1_n$ の出力は全て“1”になる。従ってAND回路 $11-2$ の出力、すなわち比較結果信号 $9-7_1$ は“1”を出力する。同様に、図11に図示していない比較結果信号AB $9-7_2$ 及び比較結果信号BC $9-7_3$ も“1”を出力する。

【0087】また、図13の選択回路 $10-3$ に入力される比較結果信号 $9-7_1 \sim 7_3$ は前述のように全て“1”であるから、2入力AND回路 $13-1_a_1 \sim 1_a_n$ 、 $13-1_b_1 \sim 1_b_n$ 、 $13-1_c_1 \sim 1_c_n$ は、プロセッサバス信号 $1-2_4 a_1 \sim b_n$ 、 $1-2_4 b_1 \sim b_n$ 、 $1-2_4 c_1 \sim c_n$ はそのまま出力信号 $9-5_1 \sim 5_n$ として出力される。これらの出力信号 $9-5_1 \sim 5_n$ は3入力OR回路 $13-2_1 \sim 2_3$ を介して多数決信号 $9-5_1 \sim 5_n$ として出力される。例えば、図14の第1列では、プロセッサバス信号 $1-2_4$ として、“00”が入力されるので、出力信号 $9-5$ は“00”となる。

【0088】また、図12のエラー判別回路 $10-2$ においては、比較結果信号 $9-5$ 全てが“1”であるため、3入力NOR回路 $12-1$ の出力信号(すなわち二

重故障信号 $9-4_a$)は、“0”になる。また、3入力AND回路 $12-2$ の出力信号は“1”になる。このため2入力NOR回路 8_3 の出力信号(すなわち単一故障信号 $9-4_b$)は“0”になる。

【0089】【单一故障時動作】次に、図14における第3列は、3つのプロセッサバス信号 $1-2_4 a \sim c$ の中で1つのプロセッサバス信号 $1-2_4 a$ の出力だけが異なる場合である。この場合、図10の比較結果信号 $9-7_1 \sim b$ が“0”となり、比較回路 $10-1_c$ の比較結果信号 $9-7_3$ が“1”となる。この比較結果信号 $9-7_1 \sim 7_3$ がエラー判別回路 $10-2$ と選択回路 $10-3$ へ出力される。この出力(比較結果信号 $A_C=0$, $A_B=0$, $B_C=1$)を受け取ったエラー判別回路 $10-2$ は、3入力NOR回路 $12-1$ が二重故障信号 $9-4_a = “0”$ を出力し、また、3入力AND回路 $12-2$ が出力 $= “0”$ を出力する。このため、2入力NOR回路 $12-3$ は単一故障信号 $9-4_b = “1”$ を出力して、故障が発生したことを機能回路 $9-2$ へ伝える。また、図13の選択回路 $10-3$ では、比較結果信号 $10-4$ ($A_C=0$, $A_B=0$, $B_C=1$)が入力されると、プロセッサバス信号 $1-2_4 a_1 \sim n$ と比較結果信号 $9-7_1 = “0”$ との論理積が実行され2入力AND回路 $13-1_a_1 \sim 1_a_n$ の出力は常に“0”となる。同様に、2入力AND回路 $13-1_b_1 \sim 1_b_n$ の出力も常に“0”となってプロセッサバス信号 $1-2_4 b$ の信号は出力信号 $9-5$ として出力されない。一方、プロセッサバス信号 $1-2_4 c$ は、比較結果信号BC $9-7_3 = “1”$ との論理積が実行される結果、プロセッサバス信号 $1-2_4 c$ がそのまま2入力AND回路 $13-1_c_1 \sim 1_c_n$ の出力として3入力OR回路 $13-2_1 \sim 2_3$ へ伝えられる。3入力OR回路 $13-2_1 \sim 2_3$ では、プロセッサバス信号 $1-2_4 a \cdot b$ が上述のようにマスクされているために、出力信号 $9-5_1 \sim 5_n$ としてプロセッサバス信号 $1-2_4 c$ の信号がそのまま出力される。このように、異常が検出されたプロセッサバス信号 $1-2_4 a$ は、出力信号 $9-5$ になんら影響を与えず、正常なプロセッサバス信号 $1-2_4 c$ が出力信号 $9-5$ として出力される。他のプロセッサバス信号 $1-2_4 b$ 又は $1-2_4 c$ に異常が発生したときも、上述と同様に、正常なプロセッサバス信号 $1-2_4$ が選択されて出力される。

【0090】【二重故障時動作】次に、図14における第4列、5列及び7列は、3つプロセッサバス信号 $1-2_4 a \sim c$ が全て異なる場合である。この場合、図11の比較回路 $10-1_a \sim c$ の比較結果信号 $9-7_1 \sim 7_3$ が全て“0”になる。この比較結果信号 $9-7_1 \sim 7_3$ はエラー判別回路 $10-2$ 及び選択回路 $10-3$ に入力される。比較結果信号 $9-7_1 \sim 7_3$ は全て“0”であるから、図13の2入力AND回路 $13-1_a_1 \sim n$ ・ $13-1_b_1 \sim n$ ・ $13-1_c_1 \sim n$ は、プロセッサ

バス信号 1-24a～c の内容にかかわらず全て “0” を出力する。従って、3 入力 OR 回路 13-21～23 から出力される出力信号 9-51～5n は全て “0” として出力される。

【0091】また、図 12 のエラー判別回路 10-2 では 3 入力 NOR 回路 12-1 の出力信号（すなわち二重故障信号 9-4a）は “1” になる。3 入力 AND 回路 12-2 の出力信号は “0” になる。このため 2 入力 NOR 回路 12-3 の出力信号（すなわち単一故障信号 9-4b）は “0” になる。

【0092】このように、比較回路 10-1 で 3 つのプロセッシングユニット出力の中から 2 つずつのプロセッサバス信号 1-24 の組み合わせで比較し、その比較結果信号 10-4 を選択回路 10-3 及びエラー判別回路 10-2 に入力する。選択回路 10-3 では比較結果信号 10-4 に従って出力すべきプロセッサバス信号 1-24a～c を選択する。全てのプロセッサバス信号 1-24a～c が異なる時、選択回路 10-3 は信号を出力しない。エラー判別回路 10-2 では比較結果信号 10-4 を解析し故障が検出されたプロセッサバス信号 1-24 の該プロセッシングユニット 1-2 の故障状況を出力することによりプロセッシングユニット 1-2 の二重故障の検出ができる。

【0093】従って、1 つのプロセッシングユニット 1-2 が故障した場合は正しいプロセッシングユニット 1-2 を特定してその出力を選択出力できる。また、複数のプロセッシングユニット 1-2 が故障した場合は二重故障として検出できる。

【0094】・機能回路 9-2

次に、図 9 多数決ユニット内の機能回路 9-2 について、図 15 を用いて説明する。図 15 は、機能回路 9-2 の内部構成を説明する図である。図 15において、図 1 及び図 9 と同一の符号は、同一又は相当の部分を表す。15-1 は、出力信号 9-5 を受け取りシステムバス 1-4 に出力し、また、システムバス 1-4 上の信号をドライブ回路 15-5 に出力するインターフェースを司るシステムバス制御回路、15-2 は、出力信号 9-5 のアドレス信号を保持するアドレスラッチ回路、15-3 は、出力信号 9-5 のアドレス信号が予め定められたアドレスであったときに、制御書込信号 9-9 又はクロックステータスストローブ信号を出力するストローブ信号生成回路、15-5 はシステムバス制御回路 15-1 から信号を受け取り、プロセッサバス信号 1-24a～c の一部としてそれぞれ 3 つのプロセッシングユニット 1-2 に、出力するドライブ回路である。

【0095】アドレスラッチ回路 15-2 は、出力信号 9-5 に含まれているアドレスをラッチする回路である。ストローブ信号生成回路 15-3 は、図 16 の凍結回路 9-3 に設けられたフラグに割り当てられたアドレスに対する書き込み指示が合った場合に、制御書き込み

信号 256 を生成し、また、図 8 の切換制御回路 1-17 に設けられたクロックステータス信号 1-22 に割り当てられているアドレスに対する読み取り指示があつた場合に、クロックステータスストローブ信号 1-19 を生成する。即ち、ストローブ信号生成回路 15-3 は、アドレスラッチ回路 15-2 がラッチしたアドレスが凍結回路 9-3 に存在するフラグに割り当てられたアドレスであり、かつ、そのアドレスへの書き込み指示の場合に出力信号 9-5 に含まれているデータを用いて、フラグセットを指示するストローブ信号 9-9 を生成する。また、図 8 の切換制御回路 1-12 内の比較結果保持ラッチ 8-3 及び多数決信号保持ラッチ 8-2 に保持されている値、すなわち、クロックステータス信号 1-22 に割り当てられているアドレスと、アドレスラッチ回路 15-2 がラッチした値とが一致した場合に、システムバス 1-4 上にクロックステータス信号 1-22 がのるように、クロックステータスストローブ信号 1-19 を出力する。

【0096】システムバス制御回路 15-1 は、システムバス 1-4 とのインターフェースを司るものである。システムバス制御回路 15-1 は、システムバス 1-4 を介して、図 1 の主記憶メモリ 1-5 あるいは入出力バスアダプタ 1-6 に対して、入出力処理を実行することを指示する。そして、これら主記憶メモリ 1-5 あるいは入出力バスアダプタ 1-6 からの処理終了をシステムバス 1-4 を介して認識すると、内部応答信号 9-8 を生成して凍結回路 9-3 に出力する。この内部応答信号 9-8 は、次の処理の受け付けが可能な状態になったことを示す信号であり、凍結回路 9-3 により応答信号 9-11 として、各プロセッシングユニット 1-2 に対して送られる。

【0097】・凍結回路 9-3

次に、凍結回路 9-3 の内部構成について説明する。図 16 は図 9 の多数決ユニット 1-3 内の凍結回路 9-3 を詳細に説明した図である。図 16において、図 1 又は図 9 と同一の符号は同一又は相当の部分を表す。16-1 は、図 9 の多数決回路 B9-1 からの出力である比較結果信号 9-71～73（3 本のどれかを特定しないで説明するときは 9-7 と表示している）を入力とし、プロセッシングユニット A1-2a に対するエラー検出信号（EA*：負論理）16-10a、プロセッシングユニット B1-2b に対するエラー検出信号（EB*：負論理）16-10b、およびプロセッシングユニット C7-3 に対するエラー検出信号（EC*：負論理）16-10c を出力する障害検出回路、16-2 は、論理的にどのプロセッサバス信号 1-24a～c が接続されているかを示す 3 ビットの接続フラグであり、各ビットは、それぞれプロセッサバス信号 1-24a～c が多数決ユニット 1-3 に論理的に接続されているか否かを示している。16-2a～c は、それぞれプロセッサバス

信号 1-24 a～c に対応する接続フラグ出力信号、16-3 は接続フラグ 16-2 にデータが書き込まれるたびに、直前の接続フラグ 16-2 の内容を保持しておく 3 ビットの接続セーブフラグであり、この接続セーブフラグ 16-3 は、それぞれのプロセッサバス信号 1-24 a～c に対応する接続フラグを保持している。16-4 は、隔離フラグ 16-6 からの信号によって、接続セーブフラグ 16-3 の出力、又は、出力信号 9-51～53 のいずれかを選択して接続フラグ 16-2 へ出力する選択回路である。16-5 は隔離フラグ 16-6 の N 端子からの出力と、出力信号 9-54 との論理積をとる 2 入力 AND 回路、16-6 は、2 つ以上のプロセッサバス信号 1-24 a～c が同期して動作している（以下、同期モードと呼ぶ）のではなく、1 つのプロセッシングユニット 1-2 が単独で動作しているモード（以下、隔離モードと呼ぶ）であることを示す 1 ビットのフラグである隔離フラグ、16-7 は隔離フラグ 16-6 からの信号に応じて、出力信号 9-55～57 を保持し、強制割込信号 9-10 a～c として出力する強制割込フラグである。この強制割込信号 9-10 a～c は、マスクすることが不可能な最も優先度の高い割込信号である。16-8 は図 1 の切換制御回路 1-12 からのセレクタ選択信号 1-21 を検知し、セレクタ選択信号 1-21 が変化したときに時計測を始め、3 入力 AND 回路への出力を “0” とし、予め定められた時間が経過後に、3 入力 AND 回路への出力を “1” に戻すクロック切換監視タイマ、16-9 は隔離フラグ 16-6 の状態を監視し、隔離モードに入っている時間を計測して、この時間が予め定められた時間以上になったときに OR 回路 16-10 を介し隔離フラグ 16-6 をリセットする（このリセットにより隔離モードが終了する）隔離監視タイマである。16-11 a は接続フラグ出力信号 16-2 a、内部応答信号 9-8、及び、クロック切換監視タイマ 16-8 の出力の論理積をとった応答信号 9-10 a を出力する 3 入力 AND 回路、16-11 b・c も同様に、接続フラグ出力信号 16-2 b 又は c、内部応答信号 9-8、及び、クロック切換監視タイマ 16-8 の出力の論理積をとった応答信号 9-10 b 又は c を出力する 3 入力 AND 回路である。

【0098】以下に、凍結回路 9-3 の動作について説明する。まず、障害検出回路 16-1 の動作を説明する。図 17 に、障害検出回路 260 の真理値表を示す。図 17において、AB、BC、CA は順に、比較結果信号 AB 9-72、比較結果信号 BC 9-73、比較結果信号 AC 9-71 を表している。EA、EB、EC は順に、エラー検出信号 EA* 16-11 a、エラー検出信号 EB* 16-11 b、エラー検出信号 EC* 16-11 c を表している。例えば、第 6 列について説明すると、入力として、プロセッシングユニット B・C 1-2 b・c の比較結果のみが一致しているため、プロセッシ

ングユニット A が故障していると考えられる。よって、プロセッシングユニット A に対するエラー検出信号 (EA*) 16-11 a のみが “0” (負論理) となり、他のプロセッシングユニット B 1-2 a に対するエラー検出信号 (EB*) 16-11 b、及びプロセッシングユニット C 1-2 c に対するエラー検出信号 (EC*) 16-11 c はともに “1” (負論理) となって出力される。

【0099】次に、接続フラグ 16-2、隔離フラグ 16-6、及び強制割込フラグ 16-7 のフラグの設定について説明する。以下、接続フラグ 16-2、隔離フラグ 16-6、及び強制割込フラグ 16-7 をまとめて、制御レジスタと称する。この制御レジスタは、予め定められたアドレスを有しているものとする。ビット 1～ビット 3 は、3 ビットの接続フラグ 16-2 の各ビットに対応し、それぞれ、プロセッシングユニット 1-2 を論理的接続状態にするときにプロセッシングユニット 1-2 が “1” を設定する。ビット 4 は、1 ビットの隔離フラグ 16-6 に対応し、あるプロセッシングユニット 1-2 を隔離状態で動作させる時にプロセッシングユニット 1-2 が “1” を設定する。ビット 5 からビット 7 は、プロセッシングユニット 1-2 のそれぞれに対して、強制割り込みを発生させる時にプロセッシングユニット 1-2 が “1” を設定する。なお、隔離フラグ 16-6 が “1” にセットされている状態で、制御レジスタに書き込みを行うと、接続フラグ 16-2 は接続セーブフラグ 16-3 の内容にセットされ、隔離フラグ 16-6 は “0” にリセットされる。

【0100】プロセッシングユニット 1-2 が制御レジスタを設定する場合は、制御レジスタに割り当てられた所定のアドレスに対して書き込み命令を発生させることによって行う。プロセッシングユニットより出力されたアドレスと、リード／ライト信号による書き込み命令は図 15 に示すアドレスラッチ回路 15-4 及びストローブ信号生成回路 15-3 により、制御レジスタに対する書き込み命令であることが判定される。ストローブ信号生成回路 15-3 は、ストローブ信号を制御書き込み信号 9-9 として発生させる。図 16 にもどり、凍結回路 9-3 の接続フラグ 16-2、隔離フラグ 16-6 及び強制割込フラグ 16-7 は、この制御書き込み信号 9-9 に基づき、プロセッシングユニット 1-2 が出力した出力信号 9-5 を制御レジスタに設定する。なお、隔離フラグ 16-6 が “1” にセットされている状態で、制御レジスタに書き込みを行うと、接続フラグ 16-2 は接続セーブフラグ 16-3 の内容にセットされ、隔離フラグ 16-6 は “0” にリセットされる。

【0101】つづいて、障害発生から故障検知までの動作について説明する。初期状態ではリセット信号 16-12 により、接続フラグ 16-2、接続セーブフラグ 16-3 はともに “111” に、隔離フラグ 16-6 は

“0”になっている。ここで例えればプロセッシングユニットA 1-2 aに障害が発生したとすると、この障害は、多数決回路B 9-1で検出され、比較結果信号9-7を出力する。この比較結果信号9-7を受け取った障害検出回路16-1によって、対応するエラー検知信号16-11 a～cが出力される。これにより、3ビットの接続フラグ16-2が“011”となり、プロセッシングユニットA 1-2 aに対する応答信号16-11 aが出力されなくなり、プロセッシングユニットA 1-2 aが凍結状態になる。プロセッシングユニットA 1-2 aが故障したことは、図15に示す機能回路9-2における割り込み制御回路15-5が、正常動作しているプロセッシングユニットB 1-2 a, C 1-2 cに強制割込を発生させることにより、検知することができる。

【0102】次に、故障プロセッシングユニット（例えば、プロセッシングユニットA 1-2 a）の故障診断の動作について説明する。プロセッシングユニットB 1-2 b, C 1-2 cが、制御レジスタに“1001100”を書き込むことにより、プロセッシングユニットB 1-2 b, C 1-2 cは凍結状態になり、プロセッシングユニットA 1-2 aは凍結状態から解除され、隔離動作モードが動作を開始する。制御レジスタの内容は左からプロセッシングユニットA接続フラグ、プロセッシングユニットB接続フラグ、プロセッシングユニットC接続フラグ、隔離フラグ、プロセッシングユニットA強制割り込み発生フラグ、プロセッシングユニットB強制割り込み発生フラグ、プロセッシングユニットC強制割り込み発生フラグである。

【0103】このとき、プロセッシングユニットB 7-2およびC 7-3は、プロセッシングユニットA 1-2 aに対する、強制割り込み発生フラグ（ビット4）をセットするため、最高レベルの割り込みが発生し、プロセッシングユニットA 1-2 aは、エラー解析および自己診断用の特別処理ルーチンに分岐する。プロセッシングユニットA 1-2 aは、自らのエラー情報および自己診断結果を、プロセッシングユニットA 1-2 a、B 1-2 b, C 1-2 c毎にあらかじめ決められた主記憶メモリ1-5の退避領域に書き出す。主記憶メモリ1-5の書き込みが終了すると、制御レジスタに書き込み処理を行なう。隔離フラグ16-6がセットされている状態での書き込みは、書き込みデータによらず、接続フラグ16-2には接続セーブフラグ16-3にセットされていた情報が書き戻されるので、プロセッシングユニットB 1-2 b, C 1-2 cは、再度動作を開始する。

【0104】次に再同期動作について説明する。再度動作を再開したプロセッシングユニットB 1-2 b, C 1-2 cは、プロセッシングユニット1-2内の全レジスタの内容を、主記憶メモリ1-5のレジスタ退避領域に退避する。障害の発生したプロセッシングユニットA 1-2 aが、主記憶メモリ1-5に書き出した内容を、ブ

ロセッシングユニットB 1-2 b, C 1-2 cは解析を行い、プロセッシングユニットA 1-2 aの自己診断結果に基づき、復旧可能かどうかの判断を行う。もし、自己診断結果が良好であり、一時的な故障と判断すると、制御レジスタに“1110000”をセットする。故障したプロセッシングユニットA 1-2 aは、前項で述べた制御レジスタへの書き込みの実行直後に凍結され、正常なプロセッシングユニットB 1-2 b, C 1-2 cが制御レジスタ271に“1110000”を書き込んだ時点で故障したプロセッシングユニットA 1-2 aの凍結状態が解除され、それ以降は3個のプロセッシングユニットA 1-2 a, B 1-2 b, C 1-2 cが同じ命令列を同じタイミングで同期して実行するようになる。もし、自己診断の結果も不良であり、復旧不可能な故障と判断すると、制御レジスタに“1110000”を書き込みますに、故障したプロセッシングユニットA 1-2 aを切り離したままで処理を続行することになる。

【0105】図18は接続フラグおよび図8の切換制御回路内のクロックステータスによって故障部位を特定した結果を図示したものである。図18において、1-2 1で示される行は図1のセレクタ選択信号1-21を表し、1-18 a～cで示され行は電圧比較回路出力1-18 a～c、16-2 a～cで示される行は図16の接続フラグの出力を表している。19-1はプロセッシングユニット1-2による故障モジュールの判定結果を表している。

【0106】次に、故障モジュールの判定方法について説明する。まず、第2・4・6列のように、電圧比較回路1-14が異常（＝“1”）を示しており、かつ該当するプロセッシングユニット1-2の接続フラグが“0”である場合、P L L回路1-13の故障と判断する。そして、第1・3・5列のごとく、電圧比較回路1-14が異常を示しており、かつ該当するプロセッシングユニット1-2の接続フラグが“1”、すなわちプロセッシングユニット1-2に故障が現れない場合、異常を示した電圧比較回路1-14の故障と判断する。第7～9列のように、電圧比較回路1-14が正常（＝“0”）を示しており、かつ該当するプロセッシングユニット1-2の接続フラグが“0”である場合、既に説明したように上記該当するプロセッシングユニット1-2の故障と判断する。また、第11列のようにセレクタ選択信号が1になったときは、図1のクロック発生器A 1-10 aが故障したと判断する。

【0107】上記方法によって故障を判断する場合、P L L回路1-13および電圧比較回路1-14の故障によってプロセッシングユニット1-2のエラーを引き起こしてしまった場合（プロセッシングユニット1-2の接続フラグが“0”である場合）は、プロセッシングユニットは故障していないと判断できるので、プロセッシングユニット1-2の復旧動作において、プロセッシ

グユニット1-2の故障診断の動作はスキップする。

【0108】以上のように、本発明により冗長クロック装置もしくはプロセッシングユニットのある1つの故障によっても継続動作は可能であるが、システムの可用性から見ても、できるだけ速やかにその故障をシステムから取り除くことが望ましい。

【0109】次に、図1の切換制御回路1-12によってクロック発生器1-10の切り替えが発生した場合に、クロック発生器1-10の切り替え後、PLL回路出力1-17が安定するまでプロセッシングユニット1-2の動作を抑止する動作について説明する。クロック発生器A1-10aの異常が検知されると、セレクタ選択信号1-21が“1”に変化する。セレクタ選択信号1-21は図16のクロック切換監視タイマ16-8に入力される。通常時のクロック切換監視タイマ16-8の出力は“1”である。セレクタ選択信号1-21が“1”に変化するとクロック切換監視タイマ16-8の出力は“0”となり、接続フラグの出力によらず、プロセッシングユニット1-2への応答信号9-10を“1”にしないようにしてプロセッシングユニット1-2の動作を凍結、すなわち停止、させる。クロック発生器1-10の切り替え後、しばらくしてPLL回路出力1-13が安定した後にクロック切換監視タイマ16-8の出力が“1”となることでプロセッシングユニットの動作の凍結を解除し、接続フラグの出力、および内部応答信号9-8に従って、同期／多数決動作を再開する。このクロック切換監視タイマ16-8の働きにより、クロック発信器1-10の切換直後はプロセッシングユニット1-2の動作を凍結するので、クロック信号1-17を原因とするプロセッシングユニット1-2の動作異常を防止することができ、クロック発生器1-10切り替えに伴う無用な自己診断及び復旧処理の発生を防止することができる。

【0110】実施例2、図19は、本発明がプロセッシングユニット1-2が1つのシステムに利用された場合の構成を示している。図19において、図1と同一の符号は、同一又は相当の部分を表す。1-3Aは図1における多数決ユニット1-3の代わりの役割を果たすもので、プロセッシングユニットB1-2bとシステムバス1-4とのインターフェースを司り、切り替え制御回路1-12によってセレクタ切り替え信号が出力を変化させると、システムバスアダプタ1-3A内がプロセッシングユニットB1-2bに応答信号を一定の時間返さずに、凍結させる。そのため、セレクタ1-11によるクロック切り替え直後に発生する不安定なクロック信号を基にプロセッシングユニットB1-2bを動作させないので、プロセッシングユニットB1-2bの誤動作を防ぐことができるという効果がある。そのため、システムの信頼性が高められる。

【0111】

【発明の効果】この発明によるプロセッサシステムによれば、クロック信号の異常を検知するクロック異常検出器と、クロック信号を受けて作動するプロセッサと、このプロセッサの動作異常を検知するプロセッサ異常検出器と、プロセッサ又はクロックの故障を診断する故障診断部と、を有することにより、プロセッサ異常検出器の出力が異常を示し、上記クロック異常検出器の出力が異常を示していないときにはプロセッサの故障診断テスト処理を行い、上記クロック供給器の出力が異常を示したときにはプロセッサの故障診断テスト処理を行わない、故障発生時の異常検出にかかる時間を少なくすることができ、プロセッサを高速に復旧させることができる。

【0112】さらに、複数のプロセッサと、これら複数のプロセッサの出力信号の異常を検出するプロセッサ異常検出器と、クロック信号を発生させる複数のクロック供給器と、これら複数のクロック信号から1つの選択クロック信号を選択してプロセッサに出力するとともに、クロック異常信号によって選択中の上記クロック信号を他の上記クロック信号に切り替えるセレクタと、上記選択クロック信号の異常を検知して上記クロック異常信号を出力するクロック異常検出器と、このプロセッサ異常検出器の出力が異常を示し、上記クロック異常検出器の出力が異常を示していないときには、上記プロセッサの故障診断テスト処理を行い、上記クロック供給器の出力が異常を示したときには上記プロセッサの上記故障診断テスト処理を行わない故障診断部と、を有することにより、プロセッサ異常検出器の出力が異常を示し、上記クロック異常検出器の出力が異常を示していないときにはプロセッサの故障診断テスト処理を行い、上記クロック供給器の出力が異常を示したときにはプロセッサの故障診断テスト処理を行わない、故障発生時の異常検出にかかる時間を少なくすることができ、プロセッサを高速に復旧させることができる。

【0113】加えて、クロック異常検出器若しくは上記プロセッサ異常検出器からの低優先度の割込信号によって処理を開始し、故障診断テスト処理を行うか否かを判断することを特徴とする故障診断部を有することにより、クロック切り替えによりプロセッサは正常に動作し、より優先度の高い処理を正常かつ優先的に実行するため、より重要な実行中の処理を中断することなく故障診断が行え、プロセッサ装置の信頼性を高めることができる。

【0114】さらに、上記セレクタによる上記クロック信号の切り替えが起きたときから予め定められた時間まで、上記プロセッサの動作を停止させる凍結回路を有することにより、クロック信号の供給が不安定なときはプロセッサを停止ししているため、クロック切り替え時に多発しがちなクロック異常による故障診断処理を防ぎ、さらにプロセッサを高速に復旧させることができる。

【0115】また、この発明による故障診断方法は、プロセッサの出力に異常があるかを判断するプロセッサ異常検知ステップと、クロック信号に異常があるかどうかを検知するクロック信号異常検知ステップと、上記プロセッサ異常検出ステップの検知結果が異常を示し、かつ、上記クロック信号異常検知ステップの検知結果が異常を示していないときにプロセッサの故障を診断するプロセッサ故障診断ステップと、上記クロック信号異常検知ステップの検知結果が異常を示したときは上記プロセッサ故障診断ステップを行わないプロセッサ故障診断スキップステップを有することにより、クロック信号に異常が発生したときは時間のかかるプロセッサ診断処理を行わないので、クロック異常が発生した場合の故障診断処理を高速に行うことができる。

【図面の簡単な説明】

【図1】 本発明の実施例1の全体構成を示すブロック図である。

【図2】 本発明の実施例1の復旧処理を説明するフローチャートである。

【図3】 本発明の実施例1の故障検出処理を説明するフローチャートである。

【図4】 本発明の実施例1の故障検出処理を説明するフローチャートである。

【図5】 本発明の実施例1の図1におけるPLL回路および電圧比較回路の内部構成を示す図である。

【図6】 本発明の実施例1の図5におけるPLL回路の出力波形を示す図である。

【図7】 本発明の実施例1の図5におけるPLL回路の出力波形を示す図である。

【図8】 本発明の実施例1の図1における切り替え制御回路の内部構成を示すブロック図である。

【図9】 本発明の実施例1の図1における多数決ユニットの内部構成を示すブロック図である。

【図10】 本発明の実施例1の図4における多数決回路の内部構成を示す図である。

【図11】 本発明の実施例1の図5における比較回路の内部構成を示す図である。

【図12】 本発明の実施例1の図5におけるエラー判別回路の内部構成を示す図である。

【図13】 本発明の実施例1の図5における選択回路の内部構成を示す図である。

【図14】 本発明実施例1の図5の多数決回路の動作を示す図である。

【図15】 本発明の実施例1の図4における機能回路の内部構成を示す図である。

【図16】 本発明の実施例1の図4における凍結回路の内部構成を示す図である。

【図17】 本発明の実施例1の図11における障害検出回路の真理値表を示す図である。

【図18】 本発明の実施例1における故障部位の特定を示す図である。

【図19】 本発明の実施例2の全体構成を示すブロック図である。

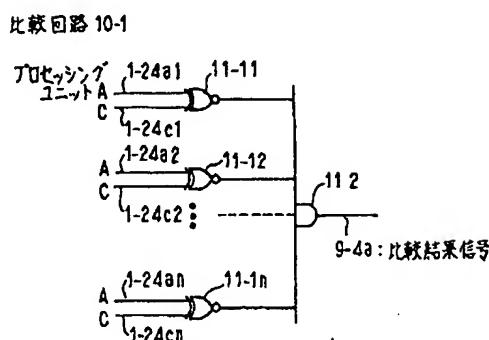
【図20】 従来の冗長化プロセッサシステムの構成を示すブロック図である。

【図21】 従来の故障診断及び復旧処理を説明するフローチャートである。

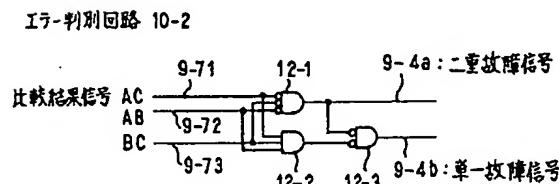
【符号の説明】

1-1 冗長クロック装置、 1-2 a~c プロセッシングユニット、 1-3 多数決ユニット、 1-4 システムバス、 1-5 主記憶メモリ、 1-6 入出力バスアダプタ、 1-7 I/O装置、 1-8 割込制御回路、 1-10 a・b クロック発生器、 1-11 セレクタ、 1-12 切替制御回路、 1-13 a~c PLL回路、 1-14 電圧比較回路 a~c、 1-17 クロック信号、 1-18 電圧比較回路出力、 1-21 セレクタ選択信号、 1-24 a~c プロセッサバス信号、 15-8 クロック切替監視タイマ

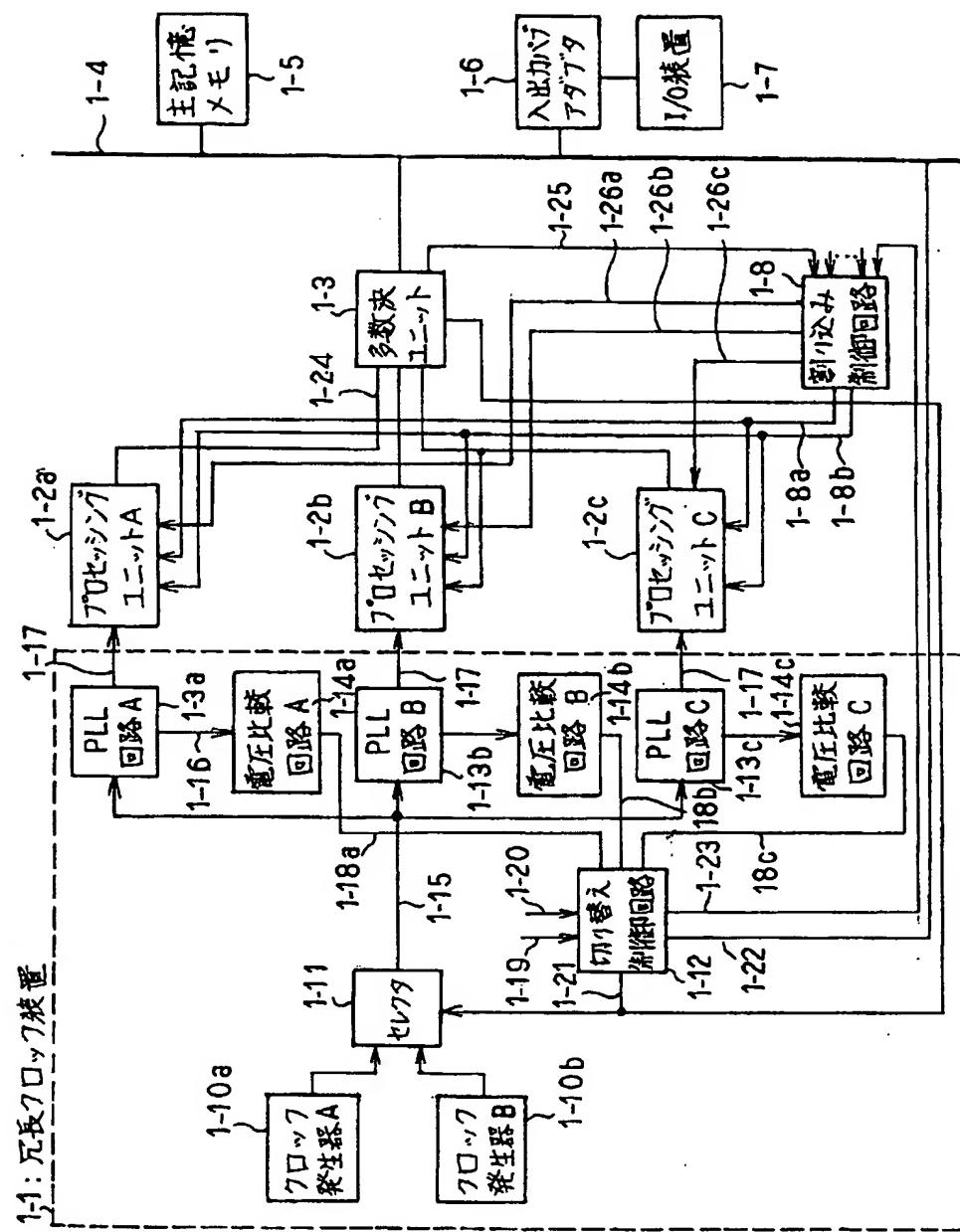
【図11】



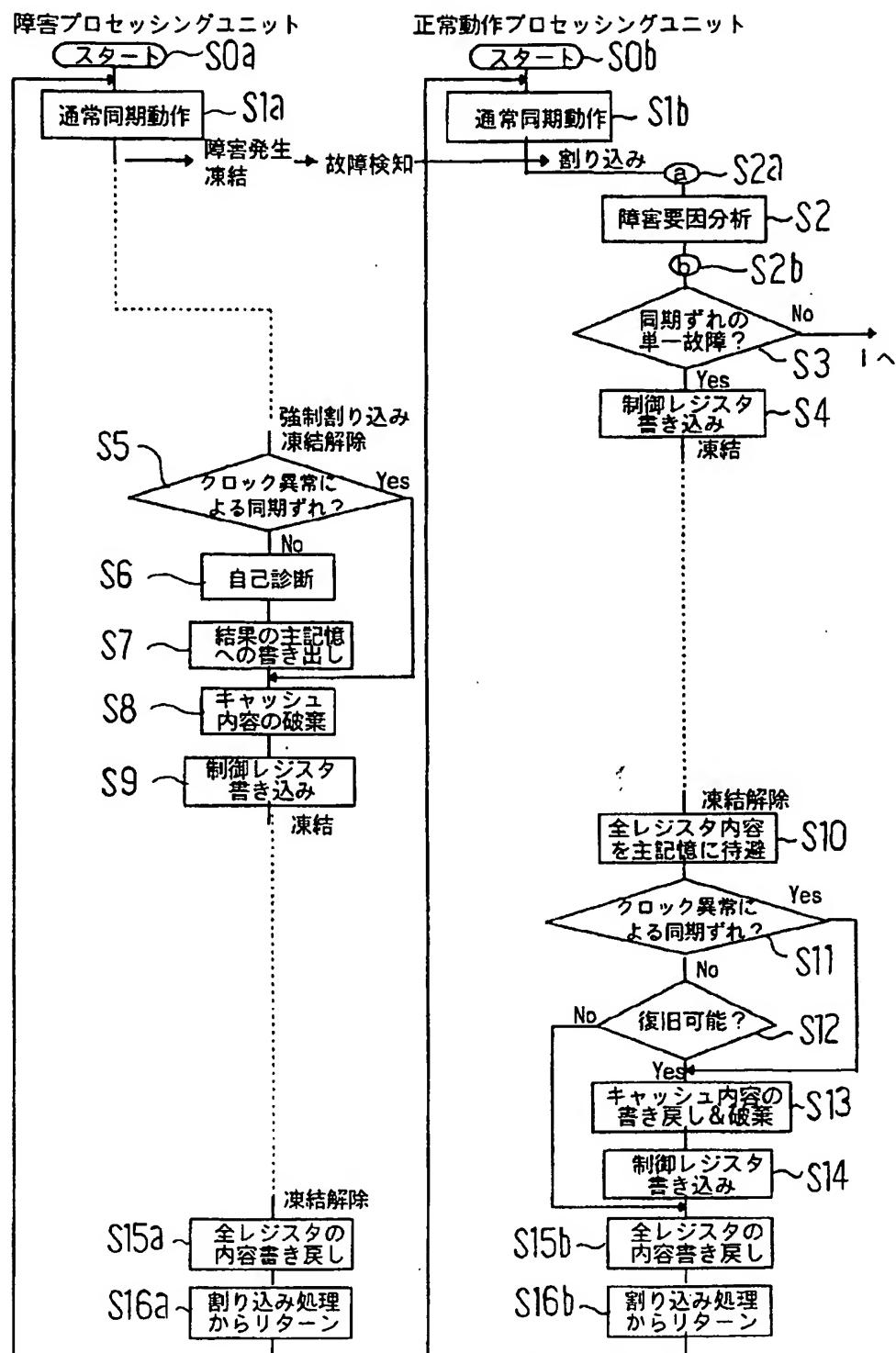
【図12】



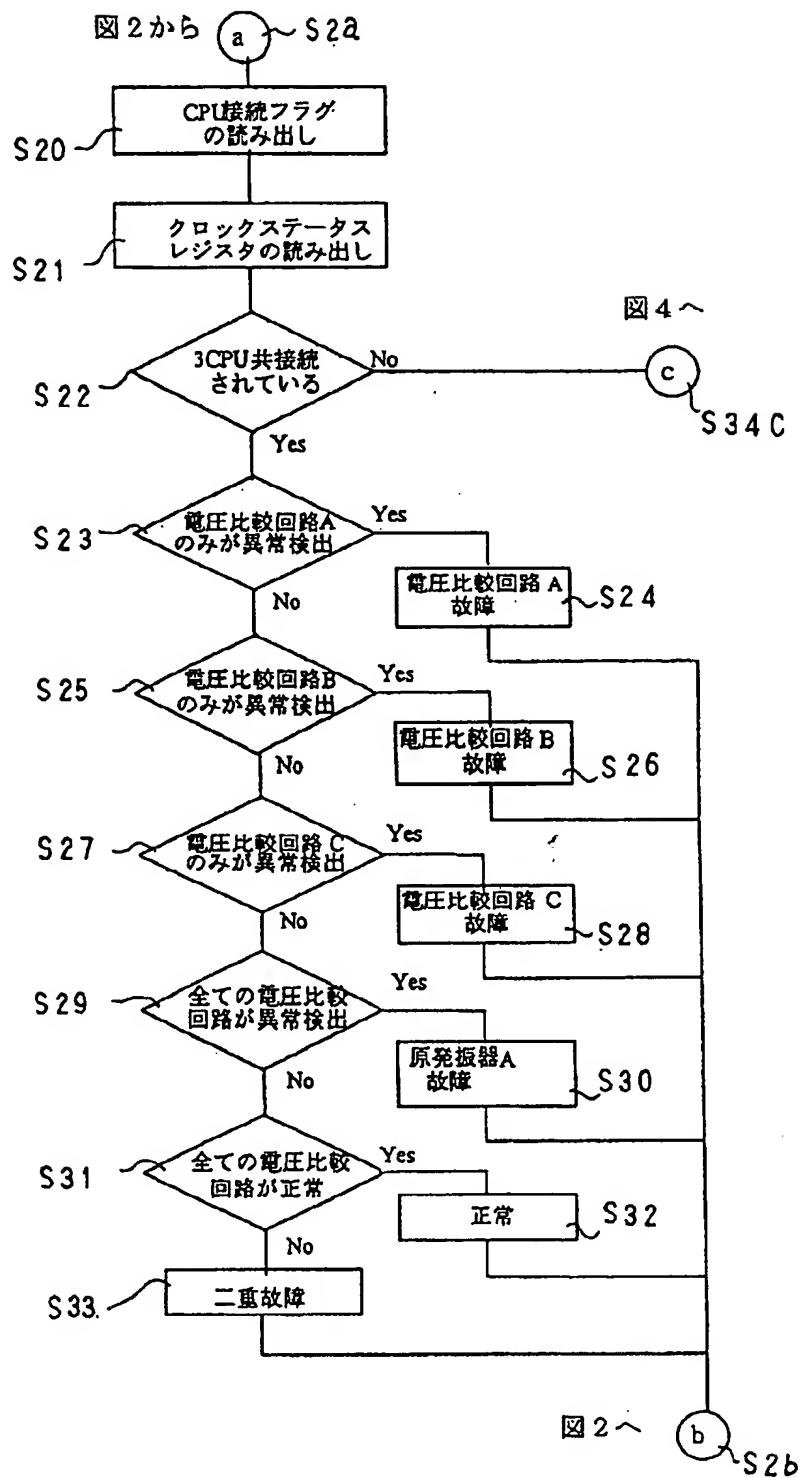
【图 1】



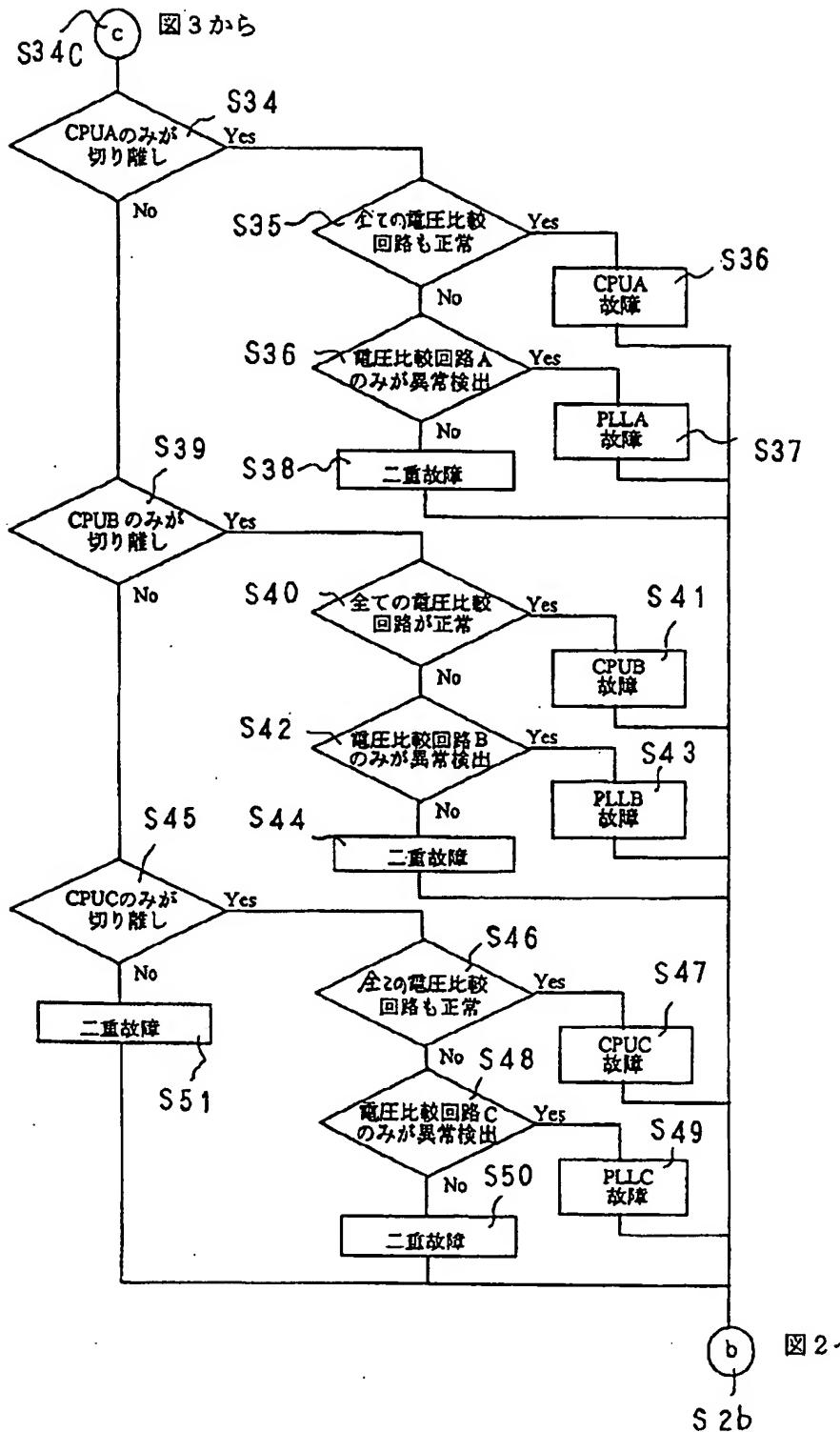
【図2】



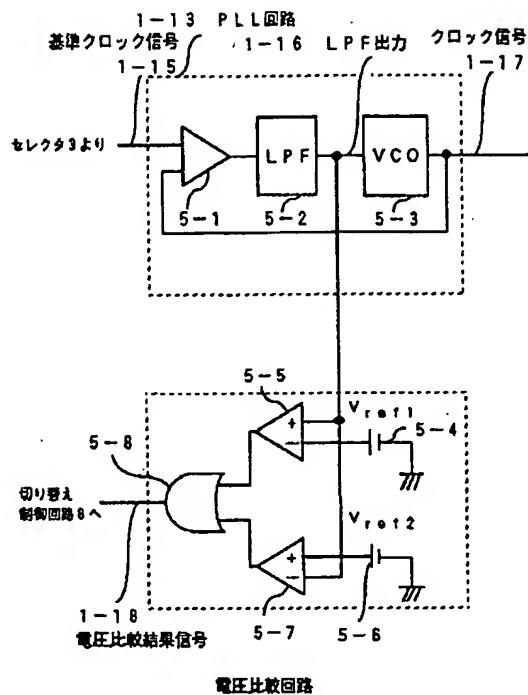
【図3】



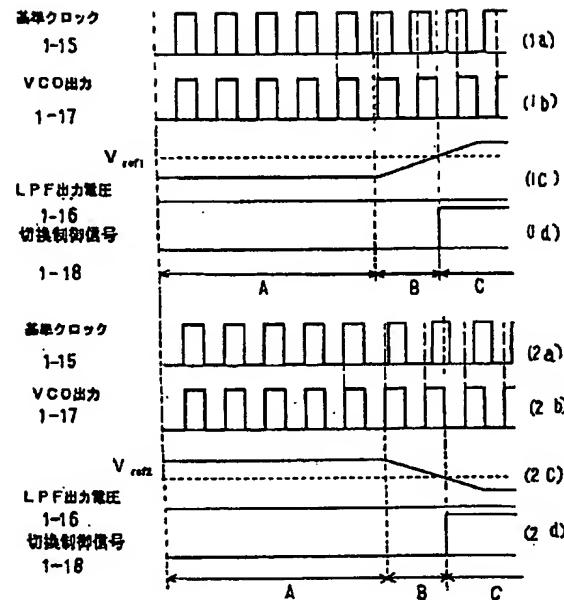
【図4】



【図5】

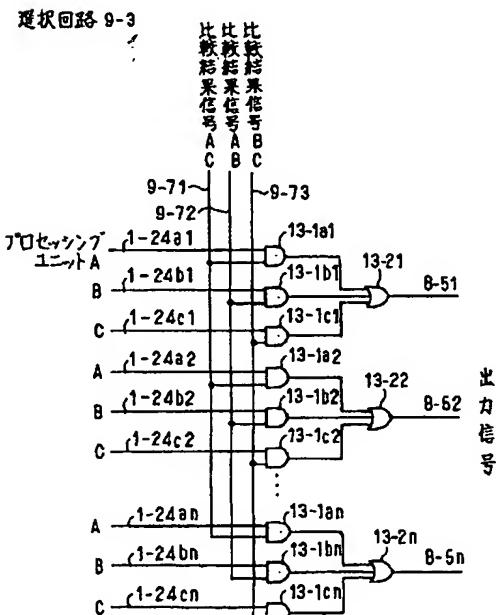
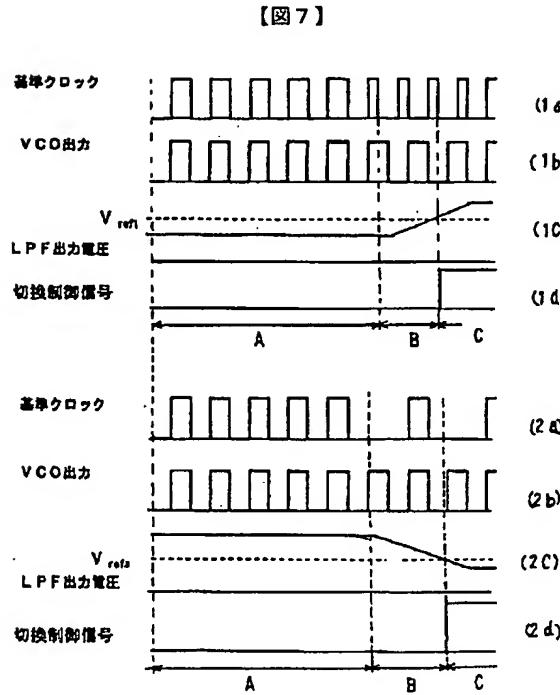


【図6】

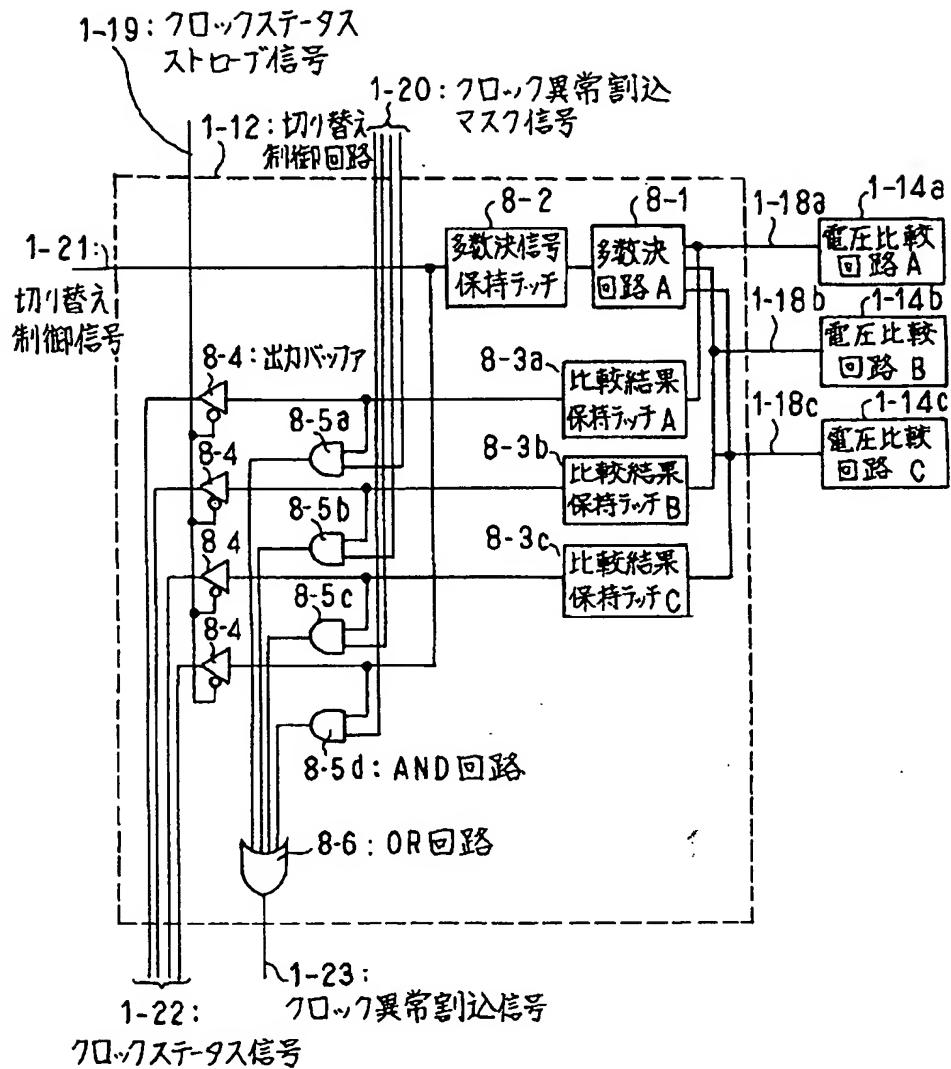


電圧比較回路

【図13】



【図 8】



【図 14】

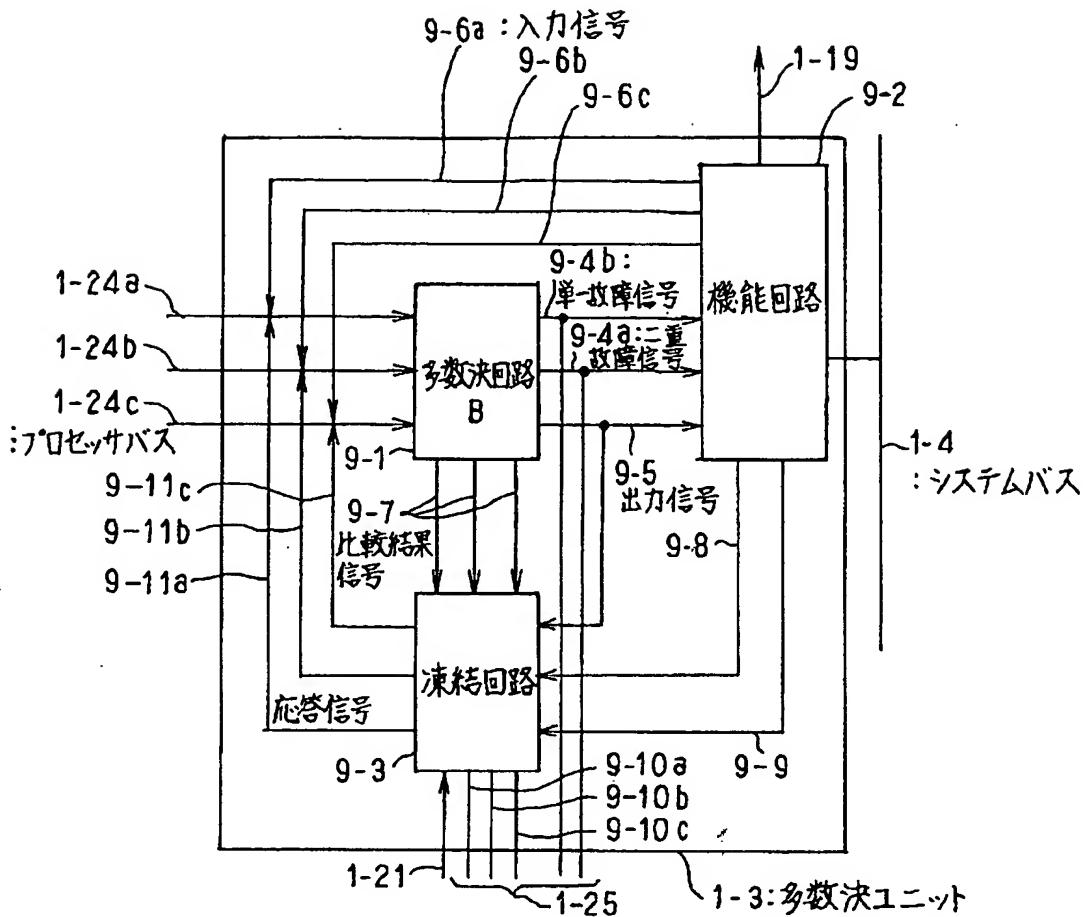
	1-24a		1-24c		9-73		9-5		9-4a	
	1-24b	9-72	9-71	9-4b						
①	0	0	0	0	1	1	1	0	0	0
②	1	0	1	0	1	1	1	1	0	0
③	1	0	1	0	1	0	0	1	1	0
④	1	0	1	0	0	0	0	0	0	1
⑤	0	1	1	0	0	0	0	0	0	1
⑥	1	1	1	1	0	0	0	1	1	0
⑦	1	1	0	1	0	0	0	1	1	1

【図 17】

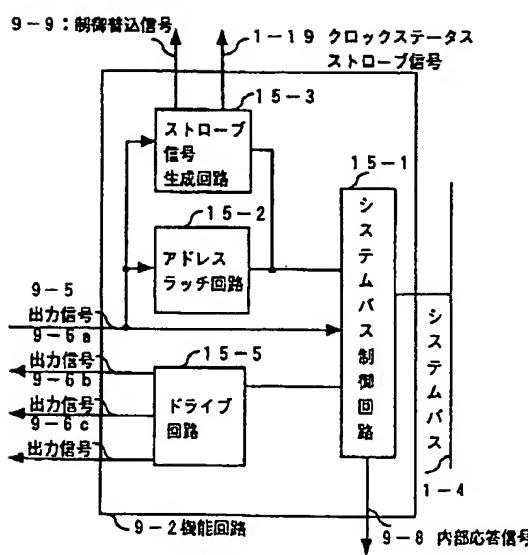
列	入力信号			出力信号		
	AB	BC	CA	EA*	EB*	EC*
①	1	1	1	1	1	1
②	1	1	0	-	-	-
③	1	0	1	-	-	-
④	1	1	0	1	1	0
⑤	0	1	1	-	-	-
⑥	0	1	0	0	1	1
⑦	0	0	1	1	0	1
⑧	0	0	0	-	-	-

- : 多重故障

【図9】



【図15】

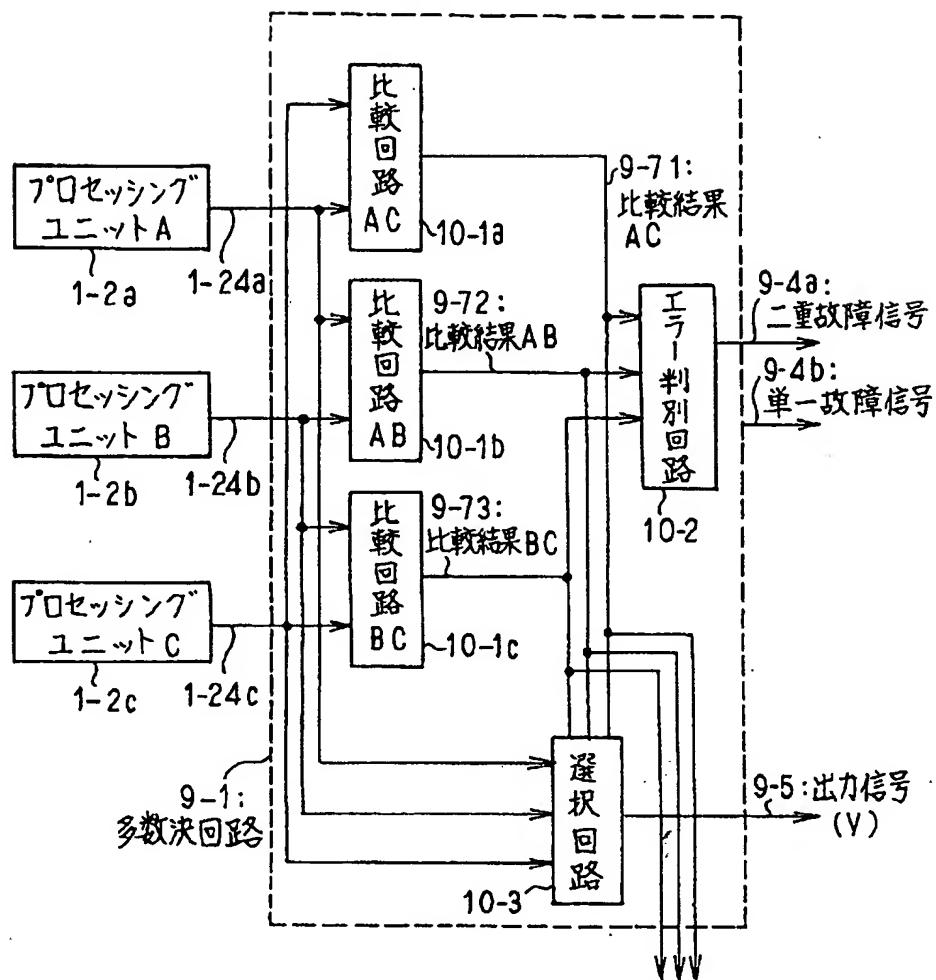


【図18】

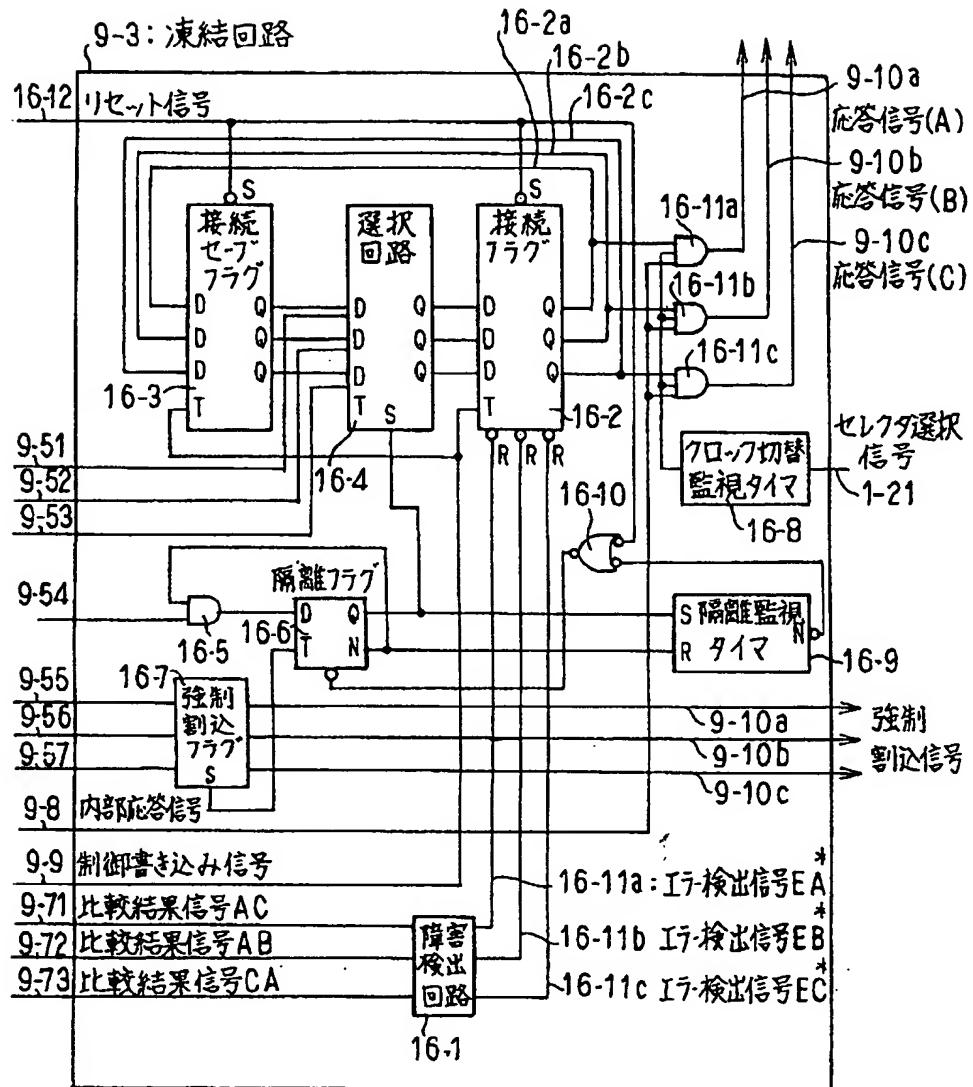
セレクタ 列 選択信号	電圧比較回路			プロセッシングユニット			故障モジュール	
	A	B	C	A	B	C		
1	0	1	0	0	1	1	1	電圧比較回路A
2	0	1	0	0	0	1	1	PLL A
3	0	0	1	0	1	1	1	電圧比較回路B
4	0	0	1	0	1	0	1	PLL B
5	0	0	0	1	1	1	1	電圧比較回路C
6	0	0	0	1	1	1	0	PLL C
7	0	0	0	0	0	1	1	プロセッシングユニットA
8	0	0	0	0	1	0	1	プロセッシングユニットB
9	0	0	0	0	1	1	0	プロセッシングユニットC
10	0	0	0	0	1	1	1	なし
11	0	1	1	1	1	1	1	クロック発生器A

セレクタ選択信号 (多数決回路出力) 0:クロック発生器A選択 1:クロック発生器B選択
 プロセッシングユニットA, B, C選択フラグ 0:切り戻し 1:接続
 電圧比較回路A, B, C出力 0:正常 1:異常

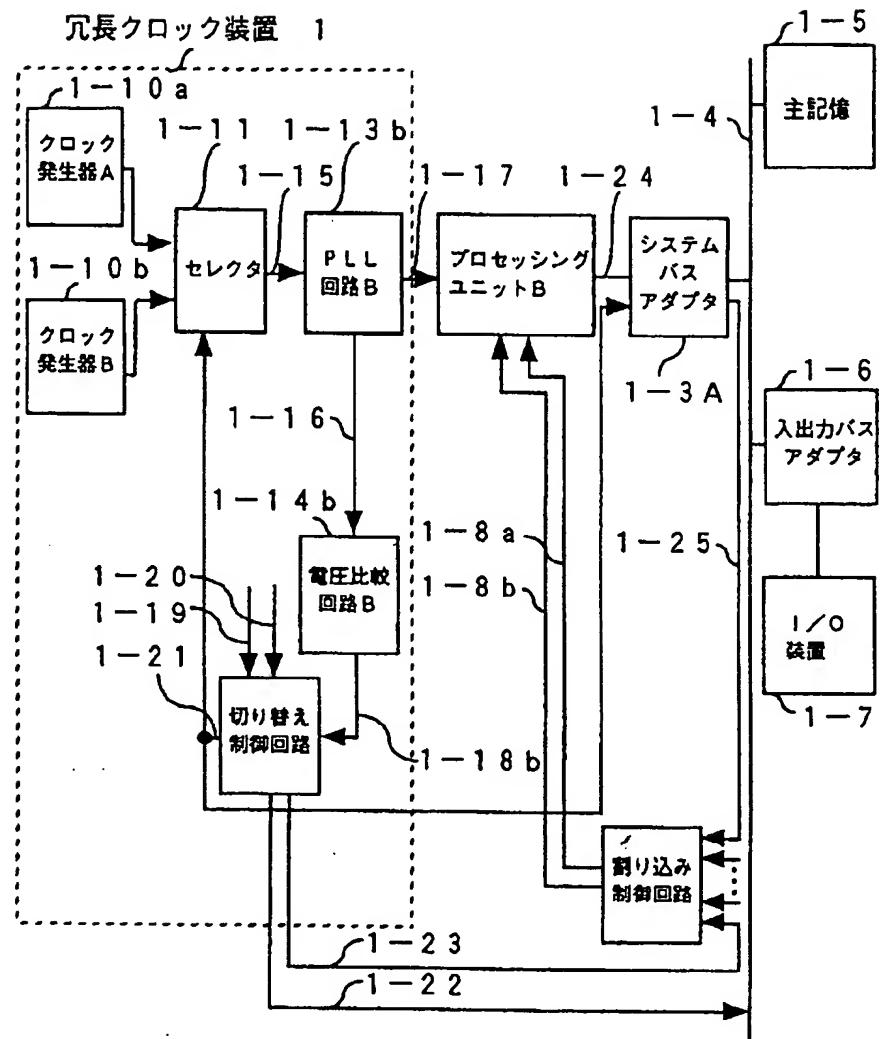
【図10】



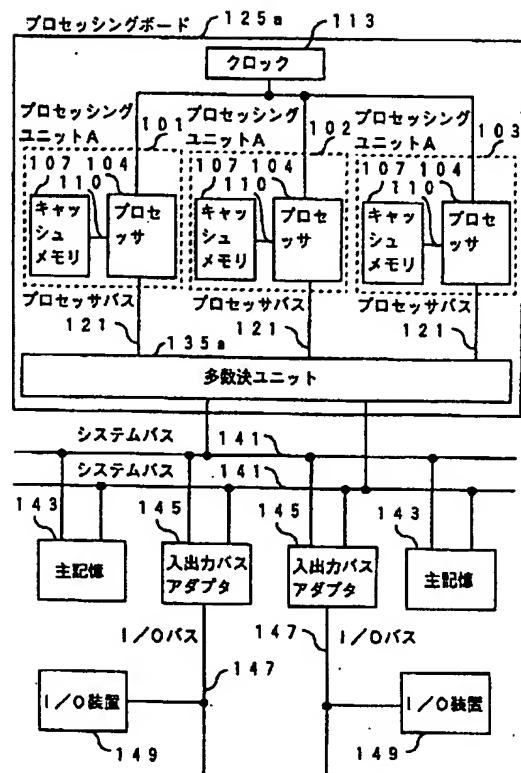
【図16】



【図19】



【図20】



【図21】

